



Certification under 37 CFR 1.8(a)

I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on June 22, 2004.

Brian W. Hameder

Name

Signature

DOCKET: CU-3547

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

APPLICANT: Wataru SAITO et al)
SERIAL NO: 10/761,847)
FILING DATE: January 21, 2004)
TITLE: THIN FILM TRANSISTOR AND METHOD)
FOR MANUFACTURING THE SAME)

MAIL STOP MISSING PARTS
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Dear Sir:

Attached herewith is a certified copy of Japanese Application 2003-015392 filed January 23, 2003, for which priority is claimed under 35 USC 119.

Respectfully submitted,

June 22, 2004

Date

/45

Attorney for Applicant

Brian W. Hameder, Reg. 45613
c/o Ladas & Parry
224 South Michigan Avenue
Chicago, Illinois 60604
(312) 427-1300

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 2 3 日
Date of Application:

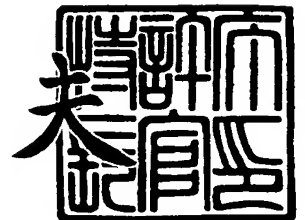
出 願 番 号 特 願 2 0 0 3 - 0 1 5 3 9 2
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 1 5 3 9 2]

出 願 人 大日本印刷株式会社
Applicant(s):

2 0 0 4 年 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 020929

【提出日】 平成15年 1月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明者】

 【住所又は居所】 東京都新宿区市谷加賀町一丁目 1 番 1 号 大日本印刷株式会社内

 【氏名】 齊藤 律

【発明者】

 【住所又は居所】 東京都新宿区市谷加賀町一丁目 1 番 1 号 大日本印刷株式会社内

 【氏名】 山下 雄大

【特許出願人】

 【識別番号】 000002897

 【氏名又は名称】 大日本印刷株式会社

【代理人】

 【識別番号】 100101203

 【弁理士】

 【氏名又は名称】 山下 昭彦

 【電話番号】 03-5524-2323

【選任した代理人】

 【識別番号】 100104499

 【弁理士】

 【氏名又は名称】 岸本 達人

 【電話番号】 03-5524-2323

【手数料の表示】

 【予納台帳番号】 131924

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0105701

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタおよびその製造方法

【特許請求の範囲】

【請求項 1】 凹凸面を有する基板上に形成された薄膜トランジスタであって、当該凹凸面の隣接する凸部にソース電極とドレイン電極が形成され、当該凸部間の凹部領域に半導体チャネル層とゲート電極が形成されていることを特徴とする薄膜トランジスタ。

【請求項 2】 前記凹部領域は、凹部底面から、ゲート電極、ゲート絶縁膜、半導体チャネル層の順で積層されていることを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 3】 前記凹部領域は、凹部底面から、半導体チャネル層、ゲート絶縁膜、ゲート電極の順で積層されていることを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 4】 凹凸面を有する基板上に形成された薄膜トランジスタであって、当該凹凸面の凸部頂上面にソース電極およびドレイン電極のいずれか一方が形成され、当該凸部頂上面に連続する側面領域に半導体チャネル層とゲート電極が形成され、当該凸部側面に連続する凹部底面にソース電極およびドレイン電極の他の一方が形成されていることを特徴とする薄膜トランジスタ。

【請求項 5】 凹凸面を有する基板上に形成された薄膜トランジスタであって、当該凹凸面の凸部に半導体チャネル層、ゲート絶縁層およびゲート電極が順に積層され、当該凸部両側の底面にはソース電極およびドレイン電極がそれぞれ形成されていることを特徴とする薄膜トランジスタ。

【請求項 6】 前記凹凸面が、硬化性樹脂で形成されていることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の薄膜トランジスタ。

【請求項 7】 前記薄膜トランジスタを構成する半導体が、多結晶シリコンまたは有機半導体材料で形成されていることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の薄膜トランジスタ。

【請求項 8】 前記基板が、ガラス材、プラスチック材またはそれらの複合材からなることを特徴とする請求項 1 から 7 のいずれか 1 項に記載の薄膜トラン

ジスタ。

【請求項 9】 凹凸面を有する基板上の当該凹凸面の隣接する凸部に、ソース電極とドレイン電極を形成し、当該凸部間の凹部領域に、凹部底面から、ゲート電極、ゲート絶縁膜、半導体チャネル層の順で積層してなる薄膜トランジスタの製造方法であって、

(1)基板と、凹凸パターンが形成された凹凸面形成用基板を準備し、(2)両基板で硬化性樹脂組成物を挟んだ後にその組成物を硬化させ、その後凹凸面形成用基板を離型して凹凸面を有する基板を形成し、(3)その凹凸面の全面に導電性薄膜を形成した後さらにその凹凸面が平坦になるまでポジ型レジスト膜を形成し、(4)前記凹凸面形成用基板と同じ凹凸パターンを有するマスクを用いて当該レジスト膜を露光・現像して凸部頂上面の導電性薄膜を露出し、(5)露出後の全面に不純物含有アモルファスシリコン薄膜を形成し、(6)前記基板前面から露光・現像して凹部領域に残るレジスト膜と不純物含有アモルファスシリコン薄膜を除去し、(7)露出した導電性薄膜をエッチングし、(8)エッチング後の基板全面にアモルファスシリコン薄膜を形成し、(9)レーザーアニールを行ってポリシリコンからなる半導体チャネル層を形成すると同時に、凸部頂上面の不純物含有アモルファスシリコン薄膜を結晶化して低抵抗ポリシリコンからなるソース側拡散層およびドレイン側拡散層を形成し、(10)前記半導体チャネル層、ソース側拡散層およびドレイン側拡散層上にゲート絶縁膜を形成し、(11)半導体チャネル層上部のゲート絶縁膜上にゲート電極を形成する、ことを特徴とする薄膜トランジスタの製造方法。

【請求項 10】 凹凸面を有する基板上の当該凹凸面の隣接する凸部に、ソース電極とドレイン電極を形成し、当該凸部間の凹部領域に、凹部底面から、半導体チャネル層、ゲート絶縁膜、ゲート電極の順で積層してなる薄膜トランジスタの製造方法であって、

(1)基板と、凹凸パターンが形成された凹凸面形成用基板を準備し、(2)両基板で硬化性樹脂組成物を挟んだ後にその組成物を硬化させ、その後凹凸面形成用基板を離型して凹凸面を有する基板を形成し、(3)その凹凸面の全面に不純物含有アモルファスシリコン薄膜を形成した後さらにその凹凸面が平坦になるまでネガ

型レジスト膜を形成し、(4)前記凹凸面形成用基板と同じ凹凸パターンを有するマスクを用いて当該レジスト膜を露光・現像して凹部領域の不純物含有アモルファスシリコン薄膜を露出し、(5)露出した不純物含有アモルファスシリコン薄膜をエッチングし、(6)凸部頂上面に残るレジスト膜を除去し、(7)所定領域にアモルファスシリコン薄膜を形成し、(8)レーザーアニールを行ってポリシリコンからなる半導体チャネル層を凹部領域に形成すると同時に、当該凹部両側の凸部頂上面の不純物含有アモルファスシリコン薄膜を結晶化して低抵抗ポリシリコンからなるソース側拡散層およびドレイン側拡散層を形成し、(9)その全面にゲート絶縁層を形成し、(10)そのゲート絶縁層にコンタクトホールを形成した後に導電性薄膜を形成して、ソース電極、ゲート電極およびドレイン電極を形成する、ことを特徴とする薄膜トランジスタの製造方法。

【請求項 1 1】 凹凸面を有する基板上の当該凹凸面の凸部頂上面に、ソース電極およびドレイン電極のいずれか一方を形成し、当該凸部頂上面に連続する側面領域に、半導体チャネル層とゲート電極を形成し、当該凸部側面に連続する凹部底面に、ソース電極およびドレイン電極の他の一方を形成してなる薄膜トランジスタの製造方法であって、

(1)基板と、凹凸パターンが形成された凹凸面形成用基板を準備し、(2)両基板で硬化性樹脂組成物を挟んだ後にその組成物を硬化させ、その後凹凸面形成用基板を離型して凹凸面を有する基板を形成し、(3)その凹凸面の全面に導電性薄膜を形成した後、さらにその上に不純物含有アモルファスシリコン薄膜を形成し、さらにその上に凹凸面が平坦になるまでポジ型レジスト膜を形成し、(4)このポジ型フォトリソレジスト膜上に、前記凹凸面の段差部である側面領域に成膜されている導電性薄膜及び不純物含有アモルファスシリコン薄膜の膜厚程度の開口部をもつフォトマスクを側面領域に位置合わせをして密着させ、フォトマスク側から露光・現像して前記側面領域のレジスト膜を除去し、(5)露出した不純物含有アモルファスシリコン薄膜と導電性薄膜をエッチング除去し、(6)凹凸面上のレジスト膜を除去し、(7)側面領域を含む所定領域にアモルファスシリコン薄膜を形成し、(8)レーザーアニールを行ってポリシリコンからなる半導体チャネル層を側面領域に形成すると同時に、当該側面領域に連続する凸部頂上面と凹部底面の不

純物含有アモルファスシリコン薄膜を結晶化して低抵抗ポリシリコンからなるソース側拡散層およびドレイン側拡散層を形成し、(9)結晶化したポリシリコン上にゲート絶縁層を形成し、(10)そのゲート絶縁層上にゲート電極を形成する、ことを特徴とする薄膜トランジスタの製造方法。

【請求項 12】 凹凸面を有する基板上の当該凹凸面の凸部に半導体チャネル層、ゲート絶縁層およびゲート電極を順に積層し、当該凸部両側の底面にソース電極およびドレイン電極をそれぞれ形成してなる薄膜トランジスタの製造方法であって、

(1)基板と、凹凸パターンが形成された凹凸面形成用基板を準備し、(2)両基板で硬化性樹脂組成物を挟んだ後にその組成物を硬化させ、その後凹凸面形成用基板を離型して凹凸面を有する基板を形成し、(3)その凹凸面の全面に導電性薄膜と不純物含有アモルファスシリコン薄膜を積層した後さらにその凹凸面が平坦になるまでポジ型レジスト膜を形成し、(4)前記凹凸面形成用基板と同じ凹凸パターンを有するマスクを用いて当該レジスト膜を露光・現像して凸部頂上面の不純物含有アモルファスシリコン薄膜を露出し、(5)エッチングにより露出した不純物含有アモルファスシリコン薄膜および導電性薄膜を除去し、(6)凹凸面上のレジスト膜を除去し、(7)凸部頂上面を含む所定領域にアモルファスシリコン薄膜を形成し、(8)レーザーアニールを行ってポリシリコンからなる半導体チャネル層を凸部頂上面に形成すると同時に、当該凸部頂上面の両側の凹部領域に形成されている不純物含有アモルファスシリコン薄膜を結晶化して低抵抗ポリシリコンからなるソース側拡散層およびドレイン側拡散層を形成し、(9)結晶化したポリシリコン上にゲート絶縁層を形成し、(10)そのゲート絶縁層上にゲート電極を形成する、ことを特徴とする薄膜トランジスタの製造方法。

【請求項 13】 凹凸面を有する基板上の当該凹凸面の凸部に半導体チャネル層、ゲート絶縁層およびゲート電極を順に積層し、当該凸部両側の底面にソース電極およびドレイン電極をそれぞれ形成してなる薄膜トランジスタの製造方法であって、

(1)基板と、凹凸パターンが形成された凹凸面形成用基板を準備し、(2)両基板で硬化性樹脂組成物を挟んだ後にその組成物を硬化させ、その後凹凸面形成用基

板を離型して凹凸面を有する基板を形成し、(3)その凹凸面の全面に導電性薄膜を積層した後さらにその凹凸面が平坦になるまでネガ型レジスト膜を形成し、(4)前記凹凸面形成用基板と同じ凹凸パターンを有するマスクを用いて当該レジスト膜を露光・現像して凹部上の導電性薄膜を露出し、(5)エッチングにより露出した導電性薄膜を除去し、(6)凹凸面上のレジスト膜を除去し、(7)その全面にゲート絶縁膜を形成し、(8)前記ゲート絶縁膜上にアモルファスシリコン薄膜を形成し、さらに前記アモルファスシリコン薄膜上に不純物含有アモルファスシリコン薄膜を形成し、(9)レーザーアニールを行ってポリシリコンからなる半導体チャネル層を凸部頂上面に形成すると同時に、当該凸部頂上面の両側の凹部領域に形成されている不純物含有アモルファスシリコン薄膜を結晶化して低抵抗ポリシリコンからなるソース側拡散層およびドレイン側拡散層を形成し、(10)当該ソース側拡散層上にソース電極を形成し、当該ドレイン側拡散層上にドレイン電極を形成する、ことを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、凹凸面を有する基板上に薄膜半導体及び絶縁材料が形成された電界効果型薄膜トランジスタおよびその製造方法に関するものである。

【0 0 0 2】

【従来の技術】

一般に、薄膜トランジスタ (T F T) を製造する際には、必要なパターンを基板上に転写するための露光装置が使用される。この露光装置は、微細なパターンを基板上に転写するための露光光学系、マスクと基板を高精度に位置合わせするためのアライメント系、マスクと基板を自動的に搬送する自動搬送系などより構成される。そうした露光装置が使用される露光処理の前には、所定の感光度を有するレジスト薄膜が基板上に形成される。

【0 0 0 3】

近年、液晶表示装置においては、表示精度を高精細化したり低消費電力で駆動したりすることにより、液晶表示装置を高性能化する試みがなされている。そし

て、この液晶表示装置の高性能化が進むのに従って、液晶画面に形成される TFT の精度はサブミクロン ($< 1 \mu\text{m}$) の単位にまで至っており、広面積領域における微細加工の必要性がより強く求められてきている。

【0004】

このような微細加工を実現するためには、要求される精密度に応じた露光技術が必要不可欠であることは勿論であるが、このような精密度を全て十分に満たすだけの解像度を備える露光装置や露光技術は、スループットの点からも未だ完成されているとは言えず、優れた技術の開発が待たれている。

【0005】

また、LSI の代表である DRAM の集積化はここ 3 年で 4 倍の非常な勢いで進んでいる。それにつれて、集積回路パターンの微細化も進んでおり、130 nm 以下の線幅加工精度の必要性が現実のものとなってきている。

【0006】

こうしたなか、パターン形成技術として一般的に用いられている微細加工技術としては、フォトリソグラフィ技術があり（例えば、非特許文献 1 参照。）、少量多品種のものに対する微細加工技術としては、電子ビームによる直接描画技術等がある。

【0007】

しかし、上述した微細加工技術にはそれぞれ問題がある。例えば、フォトリソグラフィ技術においては、光波長との関係でその解像度に限界があり、100 nm 以下の転写露光は困難であるという問題が指摘されている（例えば、非特許文献 2 を参照。）。また、電子ビームによる直接描画技術においては、単位時間当たりのスループットが不足し、量産に適さないことが認知されている。

【0008】

一方、非特許文献 1 には、上記のフォトリソグラフィ技術の解像度の限界を超える微細加工技術として、ナノインプリントリソグラフィ技術が紹介されている。このナノインプリントリソグラフィ技術は、シリコン基板上のパターン転写層に熱可塑性の PMMA（ポリメタクリル酸メチル）を設け、そのパターン転写層に、予めパターンニングされたモールドを押圧し、PMMA 樹脂層に微細な凹凸パ

ターンを形成する技術であり、その後 A 1 等を形成して配線パターンの形成等が検討されている。また、特許文献 1 にも、ナノインプリントリソグラフィ技術と同様な技術である 2 P (Photo-Polymerized) 法によりスタンパーの凹凸を転写して、所望の凹凸かターンを形成する技術が記載されている。

【 0 0 0 9 】

【非特許文献 1】

碓井節夫、フラットパネルディスプレイ'91、日経 B P 社、1991 年発行、p. 117-128。

【 0 0 1 0 】

【非特許文献 2】

谷口ら、砥粒加工学会誌、2002 年発行、46 巻、6 号、p. 282-285。

【 0 0 1 1 】

【特許文献 1】

特開平 1 1 - 2 0 4 7 4 2 号公報

【 0 0 1 2 】

【発明が解決しようとする課題】

しかしながら、上述したナノインプリントリソグラフィ技術またはそれと同様な技術については未だ研究途上であり、十分な検討はなされておらず、特に、電界効果型薄膜トランジスタおよびその製造方法について検討し、または実用した例はない。

【 0 0 1 3 】

本発明は、上述したフォトリソグラフィ技術および電子ビームによる直接描画技術における問題を解決すべくなされたものであって、その目的は、サブミクロンオーダーの半導体チャネル層形成能力をもつパターンニング方法により作製された薄膜トランジスタの提供、および大面積化に対応でき量産性のある製造方法を提供することにある。

【 0 0 1 4 】

【課題を解決するための手段】

上記課題を解決するための、薄膜トランジスタの第 1 の発明は、凹凸面を有す

る基板上に形成された薄膜トランジスタであって、当該凹凸面の隣接する凸部にソース電極とドレイン電極が形成され、当該凸部間の凹部領域に半導体チャネル層とゲート電極が形成されていることを特徴とする。

【0015】

この第1の発明に係る薄膜トランジスタにおいては、(i)上記凹部領域は、凹部底面から、ゲート電極、ゲート絶縁膜、半導体チャネル層の順で積層されている態様、および、(ii)上記凹部領域は、凹部底面から、半導体チャネル層、ゲート絶縁膜、ゲート電極の順で積層されている態様、が好ましく挙げられる。

【0016】

また、上記課題を解決するための、薄膜トランジスタの第2の発明は、凹凸面を有する基板上に形成された薄膜トランジスタであって、当該凹凸面の凸部頂上面にソース電極およびドレイン電極のいずれか一方が形成され、当該凸部頂上面に連続する側面領域に半導体チャネル層とゲート電極が形成され、当該凸部側面に連続する凹部底面にソース電極およびドレイン電極の他の一方が形成されていることを特徴とする。

【0017】

また、上記課題を解決するための、薄膜トランジスタの第3の発明は、凹凸面を有する基板上に形成された薄膜トランジスタであって、当該凹凸面の凸部に半導体チャネル層、ゲート絶縁層およびゲート電極が順に積層され、当該凸部両側の底面にはソース電極およびドレイン電極がそれぞれ形成されていることを特徴とする。

【0018】

なお、上記第1～第3の発明に係る薄膜トランジスタにおいては、①上記凹凸面が、硬化性樹脂で形成されていること、②上記薄膜トランジスタを構成する半導体が、多結晶シリコンまたは有機半導体材料で形成されていること、③上記基板が、ガラス材、プラスチック材またはそれらの複合材からなること、が好ましい。

【0019】

上記課題を解決するための、本発明の薄膜トランジスタの第1の製造方法は、

凹凸面を有する基板上の当該凹凸面の隣接する凸部に、ソース電極とドレイン電極を形成し、当該凸部間の凹部領域に、凹部底面から、ゲート電極、ゲート絶縁膜、半導体チャネル層の順で積層してなる薄膜トランジスタの製造方法であって、(1)基板と、凹凸パターンが形成された凹凸面形成用基板を準備し、(2)両基板で硬化性樹脂組成物を挟んだ後にその組成物を硬化させ、その後凹凸面形成用基板を離型して凹凸面を有する基板を形成し、(3)その凹凸面の全面に導電性薄膜を形成した後さらにその凹凸面が平坦になるまでポジ型レジスト膜を形成し、(4)上記凹凸面形成用基板と同じ凹凸パターンを有するマスクを用いて当該レジスト膜を露光・現像して凸部頂上面の導電性薄膜を露出し、(5)露出後の全面に不純物含有アモルファスシリコン薄膜を形成し、(6)上記基板前面から露光・現像して凹部領域に残るレジスト膜と不純物含有アモルファスシリコン薄膜を除去し、(7)露出した導電性薄膜をエッチングし、(8)エッチング後の基板全面にアモルファスシリコン薄膜を形成し、(9)レーザーアニールを行ってポリシリコンからなる半導体チャネル層を形成すると同時に、凸部頂上面の不純物含有アモルファスシリコン薄膜を結晶化して低抵抗ポリシリコンからなるソース側拡散層およびドレイン側拡散層を形成し、(10)上記半導体チャネル層、ソース側拡散層およびドレイン側拡散層上にゲート絶縁膜を形成し、(11)半導体チャネル層上部のゲート絶縁膜上にゲート電極を形成する、ことを特徴とする。

【 0 0 2 0 】

また、上記課題を解決するための、本発明の薄膜トランジスタの第2の製造方法は、凹凸面を有する基板上の当該凹凸面の隣接する凸部に、ソース電極とドレイン電極を形成し、当該凸部間の凹部領域に、凹部底面から、半導体チャネル層、ゲート絶縁膜、ゲート電極の順で積層してなる薄膜トランジスタの製造方法であって、(1)基板と、凹凸パターンが形成された凹凸面形成用基板を準備し、(2)両基板で硬化性樹脂組成物を挟んだ後にその組成物を硬化させ、その後凹凸面形成用基板を離型して凹凸面を有する基板を形成し、(3)その凹凸面の全面に不純物含有アモルファスシリコン薄膜を形成した後さらにその凹凸面が平坦になるまでネガ型レジスト膜を形成し、(4)上記凹凸面形成用基板と同じ凹凸パターンを有するマスクを用いて当該レジスト膜を露光・現像して凹部領域の不純物含有ア

モルファスシリコン薄膜を露出し、(5)露出した不純物含有アモルファスシリコン薄膜をエッチングし、(6)凸部頂上面に残るレジスト膜を除去し、(7)所定領域にアモルファスシリコン薄膜を形成し、(8)レーザーアニールを行ってポリシリコンからなる半導体チャネル層を凹部領域に形成すると同時に、当該凹部両側の凸部頂上面の不純物含有アモルファスシリコン薄膜を結晶化して低抵抗ポリシリコンからなるソース側拡散層およびドレイン側拡散層を形成し、(9)その全面にゲート絶縁層を形成し、(10)そのゲート絶縁層にコンタクトホールを形成した後、導電性薄膜を形成して、ソース電極、ゲート電極およびドレイン電極を形成する、ことを特徴とする。

【0021】

また、上記課題を解決するための、本発明の薄膜トランジスタの第3の製造方法は、凹凸面を有する基板上の当該凹凸面の凸部頂上面に、ソース電極およびドレイン電極のいずれか一方を形成し、当該凸部頂上面に連続する側面領域に、半導体チャネル層とゲート電極を形成し、当該凸部側面に連続する凹部底面に、ソース電極およびドレイン電極の他の一方を形成してなる薄膜トランジスタの製造方法であって、(1)基板と、凹凸パターンが形成された凹凸面形成用基板を準備し、(2)両基板で硬化性樹脂組成物を挟んだ後にその組成物を硬化させ、その後凹凸面形成用基板を離型して凹凸面を有する基板を形成し、(3)その凹凸面の全面に導電性薄膜を形成した後、さらにその上に不純物含有アモルファスシリコン薄膜を形成し、さらにその上に凹凸面が平坦になるまでポジ型レジスト膜を形成し、(4)このポジ型フォトリソグラフィ膜上に、上記凹凸面の段差部である側面領域に成膜されている導電性薄膜及び不純物含有アモルファスシリコン薄膜の膜厚程度の開口部をもつフォトリソグラフィマスクを側面領域に位置合わせをして密着させ、フォトリソグラフィマスク側から露光・現像して上記側面領域のレジスト膜を除去し、(5)露出した不純物含有アモルファスシリコン薄膜と導電性薄膜をエッチング除去し、(6)凹凸面上のレジスト膜を除去し、(7)側面領域を含む所定領域にアモルファスシリコン薄膜を形成し、(8)レーザーアニールを行ってポリシリコンからなる半導体チャネル層を側面領域に形成すると同時に、当該側面領域に連続する凸部頂上面と凹部底面の不純物含有アモルファスシリコン薄膜を結晶化して低抵抗ポリシリ

コンからなるソース側拡散層およびドレイン側拡散層を形成し、(9)結晶化したポリシリコン上にゲート絶縁層を形成し、(10)そのゲート絶縁層上にゲート電極を形成する、ことを特徴とする。

【0022】

また、上記課題を解決するための、本発明の薄膜トランジスタの第4の製造方法は、凹凸面を有する基板上の当該凹凸面の凸部に半導体チャネル層、ゲート絶縁層およびゲート電極を順に積層し、当該凸部両側の底面にソース電極およびドレイン電極をそれぞれ形成してなる薄膜トランジスタの製造方法であって、(1)基板と、凹凸パターンが形成された凹凸面形成用基板を準備し、(2)両基板で硬化性樹脂組成物を挟んだ後にその組成物を硬化させ、その後凹凸面形成用基板を離型して凹凸面を有する基板を形成し、(3)その凹凸面の全面に導電性薄膜と不純物含有アモルファスシリコン薄膜を積層した後さらにその凹凸面が平坦になるまでポジ型レジスト膜を形成し、(4)上記凹凸面形成用基板と同じ凹凸パターンを有するマスクを用いて当該レジスト膜を露光・現像して凸部頂上面の不純物含有アモルファスシリコン薄膜を露出し、(5)エッチングにより露出した不純物含有アモルファスシリコン薄膜および導電性薄膜を除去し、(6)凹凸面上のレジスト膜を除去し、(7)凸部頂上面を含む所定領域にアモルファスシリコン薄膜を形成し、(8)レーザーアニールを行ってポリシリコンからなる半導体チャネル層を凸部頂上面に形成すると同時に、当該凸部頂上面の両側の凹部領域に形成されている不純物含有アモルファスシリコン薄膜を結晶化して低抵抗ポリシリコンからなるソース側拡散層およびドレイン側拡散層を形成し、(9)結晶化したポリシリコン上にゲート絶縁層を形成し、(10)そのゲート絶縁層上にゲート電極を形成する、ことを特徴とする。

【0023】

さらに、上記課題を解決するための、本発明の薄膜トランジスタの第5の製造方法は、凹凸面を有する基板上の当該凹凸面の凸部に半導体チャネル層、ゲート絶縁層およびゲート電極を順に積層し、当該凸部両側の底面にソース電極およびドレイン電極をそれぞれ形成してなる薄膜トランジスタの製造方法であって、

(1)基板と、凹凸パターンが形成された凹凸面形成用基板を準備し、(2)両基板

で硬化性樹脂組成物を挟んだ後にその組成物を硬化させ、その後凹凸面形成用基板を離型して凹凸面を有する基板を形成し、(3)その凹凸面の全面に導電性薄膜を積層した後さらにその凹凸面が平坦になるまでネガ型レジスト膜を形成し、(4)上記凹凸面形成用基板と同じ凹凸パターンを有するマスクを用いて当該レジスト膜を露光・現像して凹部上の導電性薄膜を露出し、(5)エッチングにより露出した導電性薄膜を除去し、(6)凹凸面上のレジスト膜を除去し、(7)その全面にゲート絶縁膜を形成し、(8)上記ゲート絶縁膜上にアモルファスシリコン薄膜を形成し、さらに上記アモルファスシリコン薄膜上に不純物含有アモルファスシリコン薄膜を形成し、(9)レーザーアニールを行ってポリシリコンからなる半導体チャネル層を凸部頂上面に形成すると同時に、当該凸部頂上面の両側の凹部領域に形成されている不純物含有アモルファスシリコン薄膜を結晶化して低抵抗ポリシリコンからなるソース側拡散層およびドレイン側拡散層を形成し、(10)当該ソース側拡散層上にソース電極を形成し、当該ドレイン側拡散層上にドレイン電極を形成する、ことを特徴とする。

【0024】

これらの第1～第5の発明に係る製造方法によれば、従来の方法のような一般的なフォトリソグラフィ技術を用いたTFT作製手段とは異なり、基板上に凹凸面形成用基板を用いて基板上に硬化性樹脂からなる凹凸面を形成し、その凹凸面の凹部をTFTの半導体チャネル層として使用するので、上記の凹凸面形成用基板を用いた凹凸面の精細度を高めることにより、半導体チャネル層の均一化および微細化を図ることができる。その結果、サブミクロンオーダーの半導体チャネル層を有する薄膜トランジスタの製造を容易にすることができると共に、大面積化に対応でき量産性のある製造方法を提供することができる。

【0025】

【発明の実施の形態】

以下、本発明の薄膜トランジスタおよびその製造方法について図面を参照しつつ説明する。図1は、本発明の第1態様の薄膜トランジスタの一例を示す断面図であり、図2は、本発明の第2態様の薄膜トランジスタの一例を示す断面図であり、図3は、本発明の第3態様の薄膜トランジスタの一例を示す断面図であり、

図4は、本発明の第4態様の薄膜トランジスタの一例を示す断面図であり、図5は、本発明の第5態様の薄膜トランジスタの一例を示す断面図である。また、図6～図16は、本発明の薄膜トランジスタの製造方法の各工程の説明図である。

【0026】

(薄膜トランジスタ)

本発明の薄膜トランジスタは、凹凸面を有する基板上に形成されていることに特徴がある。

【0027】

第1態様および第2態様の薄膜トランジスタにおいては、図1および図2に示すように、その凹凸面の隣接する凸部にソース（以下、単に「ソース」というときは、ソース電極3およびソース側拡散層8を含む構成を指す。）とドレイン（以下、単に「ドレイン」というときは、ドレイン電極4およびドレイン側拡散層9を含む構成を指す。）が形成され、その凸部間の凹部領域に半導体チャネル層7とゲート（以下、単に「ゲート」というときは、ゲート電極5およびゲート絶縁膜6を含む構成を指す。）が形成されている。

【0028】

このうち第1態様の薄膜トランジスタの凹部領域は、図1に示すように、凹部底面から上方に向かって、ゲート電極5、ゲート絶縁膜6、半導体チャネル層7の順で積層されている。また、その凹部領域の両側に隣接する一方の凸部の頂上面には、ソース電極3とソース側拡散層8である多結晶シリコン層とがその順に積層され、もう一方の凸部の頂上面には、ドレイン電極4とドレイン側拡散層9である多結晶シリコン層とがその順に積層されている。

【0029】

また、第2態様の薄膜トランジスタの凹部領域は、図2に示すように、凹部底面から上方に向かって、半導体チャネル層7、ゲート絶縁膜6、ゲート電極5の順で積層されている。また、その凹部領域の両側に隣接する一方の凸部の頂上面には、ソース側拡散層8である多結晶シリコン層とソース電極3とがゲート絶縁膜6に形成されたコンタクトホール10を介してその順に積層され、もう一方の凸部の頂上面には、ドレイン側拡散層9である多結晶シリコン層とドレイン電極

4 とがゲート絶縁膜 6 に形成されたコンタクトホール 10 を介してその順に積層されている。

【0030】

第3態様の薄膜トランジスタにおいては、図3に示すように、その凹凸面2の凸部頂上面にソース電極3とドレイン電極4のいずれか一方が形成され、その凸部頂上面に連続する側面領域に半導体チャネル層7とゲート電極5が形成され、その凸部側面に連続する凹部底面にソース電極3およびドレイン電極4の他の一方が形成されている。図3の例に基づいてより詳しく説明すると、凸部頂上面には、ソース電極3とソース側拡散層8である多結晶シリコン層と半導体チャネル層7である多結晶シリコン層とがその順で積層され、凹部底面には、ドレイン電極4とドレイン側拡散層9である多結晶シリコン層とがその順で積層されている。半導体チャネル層7である多結晶シリコン層は、凸部側面から凸部頂上面のソース側拡散層8を覆うように設けられ、ゲート絶縁膜6は、その半導体チャネル層7と凹部底面上のドレイン側拡散層9を覆うように設けられている。また、ゲート電極5は、凸部側面上のゲート絶縁膜6の上に設けられている。

【0031】

第4態様の薄膜トランジスタにおいては、図4に示すように、その凹凸面2の凸部頂上面に半導体チャネル層7、ゲート絶縁層6およびゲート電極5が順に積層され、その凸部両側に位置する各底面にはソース電極3／ソース側拡散層8およびドレイン電極4／ドレイン側拡散層9がそれぞれ形成されている。

【0032】

第5態様の薄膜トランジスタにおいては、図5に示すように、その凹凸面2の凸部頂上面にゲート電極5、ゲート絶縁層6および半導体チャネル層7が順に積層され、その凸部両側に位置する各底面にはソース側拡散層8／ソース電極3およびドレイン側拡散層9／ドレイン電極4がそれぞれ形成されている。

【0033】

こうした特徴を有する本発明の薄膜トランジスタは、寸法精度のよい微細な凹凸面形状の上に形成されているので、ソース、ドレイン、ゲートおよび半導体チャネル層が微細なスケールで形成されている。その結果、この薄膜トランジスタ

は、作製されるチャネル部が大面積にわたって均一に作製可能であり、性能が揃った薄膜トランジスタを大面積で形成できる。また近年要求されているサブミクロンオーダー（例えば、100 nm以下のオーダー）の半導体チャネル層も実現できる。

【0034】

以下、各構成について説明する。

【0035】

基板1は、薄膜トランジスタの回路基板をなすものであり、例えば、ガラス、シリコンウェハーまたは石英等の無機基材、または、ポリアミド、ポリアセター、ポリブチレンテレフタレート、ポリエチレンテレフタレート、ポリエチレンナフタレート、もしくはシンジオタクティック・ポリスチレン等、ポリフェニレンサルファイド、ポリエーテルエーテルケトン、液晶ポリマー、フッ素樹脂、もしくはポリエーテルニトリル等、ポリカーボネート、変性ポリフェニレンエーテル、ポリシクロヘキセン、もしくはポリノルボルネン系樹脂等、または、ポリサルホン、ポリエーテルサルホン、ポリアリレート、ポリアミドイミド、ポリエーテルイミド、もしくは熱可塑性ポリイミド等からなる有機基材、またはそれらの複合基材を挙げることができる。また、有機基材としては、一般的なプラスチックからなるものも使用可能である。特に基板1が有機基材である場合、厚みが5 μm ~ 1000 μm 程度のものが好ましく、特に厚みが5 μm ~ 300 μm 程度の薄いフレキシブルなフィルム状のものを使用することにより、薄膜トランジスタが形成された基板をフレキシブルなものとすることができる。

【0036】

凹凸面は、基材1上に、硬化性樹脂により形成されている。その凹凸面を形成するために用いられる硬化性樹脂組成物としては、例えば、不飽和ポリエステル、メラミン、エポキシ、ポリエステル（メタ）アクリレート、ウレタン（メタ）アクリレート、エポキシ（メタ）アクリレート、ポリエーテル（メタ）アクリレート、ポリオール（メタ）アクリレート、メラミン（メタ）アクリレート、もしくはトリアジン系アクリレート等などの硬化性樹脂を単独もしくは混合したものを挙げることができる。これらの硬化性樹脂組成物には、必要に応じて、硬化剤

、光重合開始剤等を加えてあってよく、熱硬化性樹脂組成物、もしくは紫外線硬化性等の電離放射線硬化性樹脂組成物の硬化性樹脂組成物として使用することができる。硬化性樹脂組成物は塗布に適した粘度を有することが好ましく、溶剤もしくはモノマーを配合して粘度を調整するとよい。上記の硬化性樹脂組成物は、後述するように、基板1と凹凸面形成用基板との間に挟まれた状態で熱、紫外線、電離放射線等により硬化し、所望の微細形状が付与される。

【0037】

本発明においては、凹凸面が大面積にわたって精度良く、しかもサブミクロンオーダーの微細構造の形成も可能になっていることが特徴であり、その結果、その凹凸形状を利用した極めて均一な薄膜トランジスタを提供でき、また極めて微細な薄膜トランジスタも提供できるのであり、したがって、その凹凸面のスケールとしては、凹部底面の幅が、10nm～100,000nmの範囲内であり、凹部底面から凸部の頂上面までの高さは、50nm～10,000nmの範囲内であり、凸部頂上面の幅は、10nm～100,000nmの範囲内であることが好ましく、本発明の薄膜トランジスタは、この範囲で任意に変化させることができる凹凸面上に形成されるので、極めて微細な素子とすることができる。なお、図17(b)は、本発明の薄膜トランジスタに適用した基板が備える凹凸面の顕微鏡写真であり、図17(a)は、その凹凸面を形成するための凹凸面形成用基板表面の顕微鏡写真である。

【0038】

本方法は、非常に微細な構造を形成することが可能であり、構造作製実験においても0.1 μ m/0.3 μ mの構造作製が可能であることを示している（写真を参照。）。また、その10nmの構造も形成できることが判明しており、フォトリソグラフィを超えるパターンニングの可能性を有している。

【0039】

薄膜トランジスタを構成する各要素については、従来より一般的に使われている材料を適用することができる。例えば、ソース電極3、ドレイン電極4およびゲート電極5は、Al、Cu、その他の電極材料が好ましく用いられ、その厚みは、10nm～1000nm程度である。また、ソース側拡散層8を構成する多

結晶シリコン膜およびドレイン側拡散層 9 を構成する多結晶シリコン膜は、不純物がドーピングされた従来と同様の低抵抗の多結晶シリコンにより形成されている。また、半導体チャネル層 7 には、一般的な多結晶シリコンにより形成されている。なお、各拡散層を構成する多結晶シリコン膜は、後述の製造方法で説明するように、アモルファスシリコンを成膜した後にレーザーアニール等で結晶化させて得ることができる。

【0040】

なお、半導体チャネル層 7 には、多結晶シリコン膜以外の半導体であってもよく、薄膜トランジスタ用の半導体材料として広く使用されている材料や検討されている材料を用いることもでき、例えば、その他の無機化合物半導体材料としては、水素化非晶質シリコン、水素化非晶質シリコンゲルマニウム、水素化非晶質シリコンカーバイド、微結晶シリコンまたは多結晶シリコン等が使用できる。さらに、CdS、ZnS または CdS および ZnS の混晶、CdTe、Se 等も使用可能である。

【0041】

また、有機半導体材料としては、 π 電子共役系の芳香族化合物、鎖式化合物、有機顔料、有機ケイ素化合物等が好ましい。具体的な材料としては、ペンタセン、テトラセン、チオフェンオリゴマ誘導体、フェニレン誘導体、フタロシアニン化合物、ポリアセチレン誘導体、ポリチオフェン誘導体、シアニン色素等が挙げられるが、これらの材料に限定されるわけではない。

【0042】

なお、この薄膜トランジスタには、さらに、保護膜、遮光層、相補型の薄膜トランジスタ等を形成してもよい。保護膜については、スパッタリング法などにより SiO₂ 膜や SiN 膜等を形成することができる。

【0043】

(薄膜トランジスタの製造方法)

上述した微細構造を有する薄膜トランジスタは、以下の方法により製造することができる。なお、ここで例示する製造方法は、後述する第 1 実施形態に係る製造方法に該当するものであり、その詳細部分は後述する第 2 実施形態～第 4 実施

形態の製造方法のいずれにも適用される。

【0044】

(1) 先ず、図6(a)に示すように、薄膜トランジスタを形成するための基板1と、凹凸面形成用パターン22(以下、パターン22という。)が形成された凹凸面形成用基板21を準備する。なお、基板1については上述したとおりである。

【0045】

凹凸面形成用基板21を構成する素材は、上記基板1を構成するものと同じ素材にすることができる。なお、この凹凸面形成用基板21を、後述のマスク25と併用する場合には、UV光等の露光光に対する透明性を有するものであることが好ましい。凹凸面形成用基板21の厚みは任意であるが、寸法安定性の観点からいえば、厚い方が好ましい。基材材質がガラスや石英であれば通常1mm~5mm程度である、有機基材であれば通常50 μ m~1000 μ m程度である。

【0046】

凹凸面形成用基板に形成されているパターン22は、光硬化性樹脂層等のパターンニング可能な材料を基板21上に形成し、その後パターンニングして形成したものである。そのパターン22は、クロム等の無機物の薄膜層であっても、染料や顔料等を含有する樹脂組成物の層のいずれであってもよい。パターン22がクロム等の無機物の薄膜層の有無で構成される場合、そのパターン22は、半導体製造用のフォトマスクを製造するのと同様なフォトエッチング法で形成することができる。あるいは、そのパターン22は、基材上に塗布もしくはラミネートにより形成された感光性樹脂層に対し、パターン露光および現像を施す方法によって形成することもできる。

【0047】

パターン22は、後述する基板上に凸部を形成するための凹部形状からなる箇所と、基板上に凹部を形成するための凸部形状からなる箇所とで構成される。なお、この凹凸面形成用基板21は、薄膜トランジスタを形成する基板1上の凹凸面21の形状を付与するスタンプとしての役割があるので、そのパターン22の厚みは例えば、50nm~10,000nmの範囲内で精度よく形成されている

。また、パターン 22 の幅およびパターン間隔の幅寸法も例えば、10 nm～100,000 nm の範囲内で精度よく形成されている。そのパターン 22 の断面形状は、できるだけ四角形に近いものであることが好ましく、断面形状における角の部分が丸みを帯びているとしても、その曲率半径 r が、遮光性層の厚みの $1/10$ 以下であることが好ましい。

【0048】

本発明に係る製造方法においては、凹凸面形成用基板 21 と同じパターン形状の基板を露光用マスク 25 として後に使用することができる。凹凸面形成用基板 21 と露光用マスク 25 を同じもので併用する場合には、パターンを遮光性となるように形成することが好ましい。遮光性のパターンの形成方法については従来同様の方法を適用すればよく、例えば、パターン 22 をクロム薄膜等で形成したり、遮光性染料や顔料を含有する組成物でパターン 22 を形成することができる。

【0049】

(2) 次に、図 6 (a) に示すように、両基板 1、21 で硬化性樹脂組成物を挟んだ後、その硬化性樹脂組成物を硬化させ、その後凹凸面形成用基板 21 を離型して硬化性樹脂からなる凹凸面 2 を有する基板を形成する。

【0050】

すなわち、基板 1 と凹凸面形成用基板 21 とを、パターン 22 が基板 1 側になるよう、かつ、両者の間に硬化性樹脂組成物を介して重ね合わせて挟む。両基板間に挟むものは、必ずしも硬化性樹脂組成物でなくてもよいが、後の工程で各種の薄膜を形成する際に加えられる熱や薄膜トランジスタの用途とを考慮すると、耐熱性およびその他の耐久性の高い硬化性樹脂組成物を用いることが好ましい。

【0051】

このとき、基板 1 と凹凸面形成用基板 21 とで樹脂組成物を挟むには、基板 1 の表面および凹凸面形成用基板 21 のパターン面のいずれか一方または両方に、硬化性樹脂組成物を塗布して重ね合わせるか、予め両者を隙間を保って固定し、その間に硬化性樹脂組成物を注入する等による。

【0052】

硬化性樹脂組成物の硬化は、常温または加温して所要時間放置することにより行われる。また、紫外線硬化性等の電離放射性硬化性樹脂組成物を使用した場合には、UV光（紫外線）等の電離放射線を照射することにより硬化を行うことができる。なお、電離放射線を照射して硬化を行う際には、基板1もしくは凹凸面形成用基板21のいずれかのうち、電離放射線透過性であるものの側から照射を行うことができる。

【0053】

その後、凹凸面形成用基板21を離型することにより、基板1上に硬化性樹脂からなる微細凹凸パターンを有する凹凸面2が形成される。この凹凸面の厚さ、高さ、幅等については上述したとおりである。

【0054】

(3) 次に、図6(b)に示すように、その凹凸面2の全面に導電性薄膜23を形成した後さらにその凹凸面2が平坦になるまでレジスト膜24を形成する。導電性薄膜23は、最終的にソース電極33、ドレイン電極34およびゲート電極35となるものであり、そのため薄膜材料としては、Al、Cuおよびその他の電極材料が好ましく用いられ、スパッタリング等の公知の薄膜形成手段によって製膜される。導電性薄膜23の厚みは通常、10nm～1000nmの範囲内である。

【0055】

レジスト膜24は、例えばポジ型フォトリソ等が好ましく用いられる。ポジ型フォトリソでレジスト膜を形成したのは、後述するマスクで凸部上のレジストを溶解除去することができるためである。レジスト膜24は、レジストをスピナー等の手段で全面に塗布し、かつその凹凸面2が平坦になるように硬化させることが好ましい。このように凹凸面2が平坦になるまでレジスト膜24を形成するのは、後述のマスクをレジスト膜24上に密着させることができるからであり、その結果、凹凸による光散乱を防止することができ、パターン化したときの均一性を向上させることができるといった利点があるからである。

【0056】

(4) 次に、図6(c)(d)に示すように、前記の凹凸面形成用基板21と

同じ凹凸パターン 26 を有するマスク 25 を用いてそのレジスト膜 24 を露光・現像して凸部頂上面の導電性薄膜 23 を露出させる。

【0057】

マスク 25 は、通常ガラス基板上にクロム等の遮光性材料で遮光パターンを形成したものをを用いることができる。遮光性のパターンの形成方法については従来同様の方法を適用すればよく、例えば、パターン 22 をクロム薄膜等で形成したり、遮光性染料や顔料を含有する組成物でパターン 22 を形成することができる。なお、マスク 25 は、上述した凹凸面形成用基板 21 と併用して用いることが好ましい。

【0058】

(5) 次に、図 6 (e) に示すように、露出後の全面に不純物含有アモルファスシリコン薄膜 29 を形成する。不純物を含有させるのは、その後のレーザーアニールにより、低抵抗の多結晶シリコン薄膜とし、また金属電極とオーミックコンタクトをとるためである。アモルファスシリコン中への不純物のドーピングは、不純物がドーピングされたシリコンターゲットを用いてスパッタリング等することにより行われる。この薄膜 29 形成手段としては、スパッタリングの他、蒸着法、CVD 法等を挙げることができる。不純物含有アモルファスシリコン薄膜の厚みは通常、5 nm～50 nm の範囲内である。

【0059】

(6) 次に、図 6 (f) および図 7 (g) に示すように、基板 1 の前面から露光・現像して凹部領域に残るレジスト膜 24 と不純物含有アモルファスシリコン薄膜 29 を除去した。基板の前面から露光光を照射することにより、凹部領域に形成されていたポジ型フォトリソレジストが可溶化する。可溶化したレジスト膜は現像液で溶解するので、凹部領域のレジスト膜 24 と不純物含有アモルファスシリコン薄膜 29 が除去される。

【0060】

(7) 次に、図 7 (h) に示すように、露出した部分の導電性薄膜 23 をエッチングする。エッチング液は一般的なもの、例えば硝酸とリン酸の混合溶液等を用いることができる。不純物含有アモルファスシリコン薄膜 29 はレジスト膜と

して作用し、エッチング後の基板は、凸部頂上面に導電性薄膜 23 と不純物含有アモルファスシリコン薄膜 29 が形成されている。

【0061】

(8) 次に、図 7 (i) に示すように、エッチング後の基板全面にアモルファスシリコン薄膜 31 を形成する。アモルファスシリコン薄膜 31 は、不純物を含まないシリコンターゲットを用いたスパッタリング法、蒸着法、CVD 法等により形成される。アモルファスシリコン薄膜 31 の厚みは通常、30 nm ~ 300 nm の範囲内である。

【0062】

(9) 次に、図 7 (j) (k) に示すように、レーザーアニールを行ってポリシリコンからなる半導体チャネル層 37 を形成すると同時に、凸部頂上面の不純物含有アモルファスシリコン薄膜を結晶化して低抵抗ポリシリコンからなるソース側拡散層 38 およびドレイン側拡散層 39 を形成する。レーザーアニールは、アモルファスシリコン薄膜を結晶化させてポリシリコン (多結晶シリコン) にする結晶化手段であり、XeCl エキシマレーザー、CW (Continuous Wave) レーザー等の種々のレーザーで行うことができる。なお、結晶化後に多結晶粒界中等のシリコンの欠陥をターミネートするために、水素プラズマ処理や H₂O ベーバー処理も有効である。また、不純物含有アモルファスシリコン薄膜を形成しない場合には、レーザーアニール前または後にイオンドーピングを行ってソース側拡散層 38 およびドレイン側拡散層 39 を形成してもよい。

【0063】

(10) 次に、図 7 (l) に示すように、半導体チャネル層 37、ソース側拡散層 38 およびドレイン側拡散層 39 上にゲート絶縁膜 36 を形成する。ゲート絶縁膜 36 としては、SiO₂ 薄膜を好ましく挙げることができ、例えば反応性スパッタリング等の製膜手段で製膜できる。また、その他の成膜方法 (TEOS による CVD、有機薄膜、その他) でも製膜することができる。

【0064】

(11) 次に、半導体チャネル層上部のゲート絶縁膜 36 上にゲート電極 35 を形成する。ゲート電極 35 は、上述したソース電極 3 やドレイン電極 4 と同じ

A l、C u、その他の導電性材料をスパッタリング等の製膜プロセスにより形成できる。

【0 0 6 5】

こうした第 1 の製造方法によれば、従来の方法のような一般的なフォトリソグラフィ技術を用いた T F T 作製手段とは異なり、基板上に凹凸面形成用基板を用いて基板上に硬化性樹脂からなる凹凸面を形成し、その凹凸面の凹部を T F T の半導体チャネル層として使用するので、前記の凹凸面形成用基板を用いた凹凸面の精細度を高めることにより、半導体チャネル層の均一化および微細化を図ることができる。その結果、1 0 0 n m 以下オーダーの半導体チャネル層を有する薄膜トランジスタの製造を容易にできると共に、大面積化に対応でき量産性のある製造方法を提供することができる。

【0 0 6 6】

(第 1 実施態様)

石英基板上に厚み 5 0 0 n m の C r の薄膜層を形成した後、フォトエッチング法により所定のパターン 2 2 を形成して凹凸面形成用基板 2 1 を作製した (図 6 (a))。このときのパターン 2 2 は、凹部の深さが 5 0 0 n m、凹部の幅が 1 0 μ m のものが 2 本 1 0 μ m の幅をおいて対向しているものとした。

【0 0 6 7】

この凹凸面形成用基板 2 1 のパターン 2 2 と、厚み 0. 7 m m の無アルカリガラス (コーニング社製、1 7 3 7) からなる基板 1 との間に、未硬化の透明紫外線硬化樹脂組成物を挟んでラミネートし、基板 1 側より紫外線露光して、紫外線硬化型樹脂組成物を硬化させた。その後、凹凸面形成用基板 2 1 を剥離することにより、基板 1 上に、線幅 1 0 μ m、高さ 5 0 0 n m、2 本の間隔が 1 0 μ m の凸部を有する凹凸面 2 を形成した (図 6 (a))。

【0 0 6 8】

得られた凹凸面 2 上に、スパッタリング法で全面に厚み 5 0 0 n m の A l 薄膜 2 3 を形成した後、ポジ型フォトレジスト (東京応化工業 (株) 製、品名: P M E R P - L A 9 0 0) をスピナーにより塗布し、塗布後 8 0 $^{\circ}$ C \cdot 3 0 分加熱して、厚み 8 μ m のポジ型フォトレジスト膜 2 4 を形成した。このとき、レジス

ト膜 2 4 の表面を平坦とした (図 6 (b))。

【0 0 6 9】

このポジ型フォトレジスト膜 2 4 上に、最初に用いた凹凸面形成用基板 2 1 を、パターン 2 2 の側がポジ型フォトレジスト膜 2 4 に接するように、かつ、凹凸面 2 を形成したときと同じ位置に位置合わせして密着させ、凹凸面形成用基板 2 1 側から紫外線 2 7 を露光した (図 6 (c))。露光後、現像液 (東京応化工業 (株)、品名：P M E R D e v P - 7 G) を用いて現像し、露光部である凸部上のポジ型フォトレジスト膜 2 4 の可溶化部を除去し、凸部上に A 1 薄膜 2 3 を露出させた (図 6 (d))。

【0 0 7 0】

このパターン形成された基板 1 上の全面に、さらにスパッタリング法により P 型不純物がドーピングされたシリコンターゲットを使用して、不純物含有アモルファスシリコン薄膜 2 9 を 3 0 n m 厚で成膜した (図 6 (e))。その後、基板 1 の前面から紫外線 3 0 を露光し (図 6 (f))、凹部領域に残留していたポジ型フォトレジスト膜 2 4 を可溶化させ、現像液 (東京応化工業 (株)、品名：P M E R D e v P - 7 G) を用いて除去した (図 7 (g))。

【0 0 7 1】

その後、混酸 (硝酸とリン酸の混合物) により、露出している A 1 薄膜 2 3 のエッチングを行った。このとき、凸部上の A 1 薄膜 2 3 は不純物含有アモルファスシリコン膜 2 9 がレジスト膜として作用するため、ソース電極 3 3 およびドレイン電極 3 4 として残り、凹部の A 1 薄膜 2 3 のみが除去された (図 7 (h))。

。

【0 0 7 2】

次いで、パターニングされた基板 1 上全面に、不純物を含まないシリコンターゲットを使用してスパッタリングを行い、不純物を含まないアモルファスシリコン薄膜 3 1 を 5 0 n m 厚で成膜した (図 7 (i))。

【0 0 7 3】

その後、X e C l エキシマレーザ 3 2 により所定のパワーをもってレーザアニールを行い (図 7 (j))、アモルファスシリコンの結晶化を行って、半導体チ

ャネル層 37 となるポリシリコン薄膜を形成した (図 7 (k))。ここで、Al 電極上の不純物含有アモルファスシリコン薄膜 29 と不純物を含まないアモルファスシリコン薄膜 31 とは、結晶化の際において、不純物含有アモルファスシリコン薄膜 29 中の不純物が、不純物を含まないアモルファスシリコン薄膜 31 中に拡散し、さらに両者は結晶化する。そのため、それらの積層したシリコン薄膜部は、低抵抗のソース側拡散層 38 とドレイン側拡散層 39 として形成される。しかも結晶化の際の熱により、不純物の活性化が同時に行われる。

【0074】

この後、ポリシリコン薄膜上に、反応性スパッタリング法により SiO_2 の薄膜を 100 nm 厚で成膜しゲート絶縁膜 36 を形成した。そして、半導体チャネル層部 37 上に 500 nm 厚の Al をパターニングしてゲート電極 35 を形成し、本発明の薄膜トランジスタ (TFET) を作製した (図 7 (l))。

【0075】

(第 2 実施態様)

石英基板上に厚み 500 nm の Cr の薄膜層を形成した後、フォトリソグラフィにより、チャネル長 $5.0 \mu\text{m}$ ・チャネル幅 $50 \mu\text{m}$ に相当するソース電極及びドレイン電極パターンを形成して凹凸面形成用基板 21 を作製した (図 8 (a))。

【0076】

この凹凸面形成用基板 21 のパターン 22 側と、厚み 0.7 mm の無アルカリガラス (コーニング社製、1737) からなる基板 1 との間に、未硬化の透明な紫外線硬化樹脂を挟んでラミネートし、基板 1 側より紫外線露光して、紫外線硬化型樹脂を硬化させた。その後、凹凸面形成用基板 21 を剥離することにより、基板 1 上に、線幅 $50 \mu\text{m}$ 、高さ 500 nm、2 本の間隔が $50 \mu\text{m}$ の凸状の構造を有する凹凸面 2 を形成した (図 8 (a))。

【0077】

得られた凹凸面 2 上に、スパッタリング法を適用し、不純物がドーピングされたシリコンターゲットを使用して、不純物含有アモルファスシリコンの薄膜 29 を 30 nm 厚で成膜した。次に、ネガ型フォトリソグランド (東京応化工業 (株) 製、品

名: THMR-iP) をスピナーにより塗布し、厚みが $2\mu\text{m}$ の上面が平坦なネガ型フォトリソ膜 24' を形成した (図 8 (b))。

【0078】

このネガ型フォトリソ膜 24' 上に、最初に用いた凹凸面形成用基板 21 を、パターン側がネガ型フォトリソ膜 24' に接するように、かつ、凹凸面 2 を形成したときと同じガラス基板上の位置に位置合わせして密着させ、凹凸面形成用基板 21 側から紫外線 27 で露光した (図 8 (c))。露光後、現像液を用いて現像し、露光部である凸部上のネガ型フォトリソ膜 24' 以外を除去し、凹部上に不純物含有アモルファスシリコン薄膜 29 を露出させた (図 8 (d))。

【0079】

その後、ドライエッチング装置により、露出している凹部の不純物含有アモルファスシリコン膜 29 のエッチングを行い、凹部の不純物含有アモルファスシリコン膜 29 を除去した (図 8 (e))。その後、レジスト膜 24' を剥離することにより、凸部のみに不純物含有アモルファスシリコン膜 29 を形成した (図 9 (f))。

【0080】

パターンニングされた基板 1 上全面に、スパッタリング法により不純物を含まないシリコンターゲットを使用して、不純物を含まないアモルファスシリコンの薄膜 31 を 50nm 厚で成膜した (図 9 (g))。その後、XeCl エキシマレーザ 32 により所定のパワーをもってレーザアニールを行い (図 9 (h))、アモルファスシリコンの結晶化を行ってポリシリコンの薄膜 37 を形成した (図 9 (i))。ここで、結晶化の際に、不純物含有アモルファスシリコンの薄膜 29 上に積層されている不純物を含まないアモルファスシリコン膜 31 中には、不純物含有アモルファスシリコンの薄膜 29 中の不純物が拡散し、さらに結晶化して低抵抗のソース側拡散層 38 とドレイン側拡散層 39 として形成された。しかも結晶化の際の熱により不純物の活性化が同時に行われる。

【0081】

この後、ポリシリコンの薄膜上に、反応性スパッタリング法により SiO_2 の

薄膜を 100 nm 厚で成膜しゲート絶縁膜 36 を形成する。

【0082】

そして、ソース側拡散層 38 とドレイン側拡散層 39 上のゲート絶縁膜 36 にドライエッチング等によりコンタクトホール 10 を形成した (図 9 (j))。

【0083】

その後、全面に 500 nm アルミ (Al) 膜を蒸着、パターニングして、ソース電極 33、ドレイン電極 34、ゲート電極 35 を形成、薄膜トランジスタ (TFT) を作製した (図 9 (k))。

【0084】

(第 3 実施態様)

シリコンウェハ基板の上に、高さ 1.5 μm の段差をもつ、凹形状のパターンをドライエッチングにより作製し、凹凸面形成用基板 21 として準備した (図 10 (a))。

【0085】

この凹凸面形成用基板 21 のパターン側と、厚みが 0.7 mm の無アルカリガラス (コーニング社製、1737) からなる基板 1 との間に、未硬化な透明な紫外線硬化樹脂を挟んで、ラミネートし、基板 1 側より紫外線露光して、紫外線硬化型樹脂を硬化させた。その後、凹凸面形成用基板 21 を剥離することにより、基板 1 上に、高さ 1.5 μm の凸状の構造有する凹凸面 2 を形成した (図 10 (a))。

【0086】

得られた凹凸面 2 の全面に、スパッタリング法を適用し、Al の薄膜 23 を 100 nm となるように形成した後、さらに Al 薄膜 23 の全面にスパッタリング法を適用し、不純物がドーピングされたシリコンターゲットを使用して、不純物含有アモルファスシリコンの薄膜 29 を 30 nm 厚で成膜した。

【0087】

次に、ポジ型フォトリソグ (東京応化工業 (株) 製、品名「OFPR800」) をスピナーにより塗布し、厚みが 2 μm の上面が平坦なポジ型フォトリソグ膜 24 を形成した (図 10 (b))。

【0088】

このポジ型フォトリソ膜 24 上に、段差の部分に成膜されている Al 薄膜 23 及び不純物含有アモルファスシリコン膜 29 の膜厚程度の開口部 41 をもつフォトマスク 40 を段差の部分に位置合わせをして密着させ、フォトマスク 40 側から紫外線 27 で露光した (図 10 (c))。露光後、現像液を用いて現像し、露光部である段差部のポジ型フォトリソ膜 24 を除去し、段差部の不純物含有アモルファスシリコン薄膜 29 を露出させた (図 10 (d))。

【0089】

その後、ドライエッチング装置及びウェットエッチング装置の組合せにより、段差部の不純物含有アモルファスシリコン膜 29 及び Al 薄膜 23 のエッチングを行い、段差部の不純物含有アモルファスシリコン膜 29 及び Al 薄膜 23 を除去した (図 10 (e))。その後、レジスト膜 24 を剥離することにより、凹部と凸部の不純物含有アモルファスシリコン膜 29 及び Al 薄膜 23 を分離した (図 11 (f))。

【0090】

パターンニングされた基板 1 上全面に、スパッタリング法により不純物を含まないシリコンターゲットを使用して、不純物を含まないアモルファスシリコンの薄膜 31 を 50 nm 厚で成膜した (図 11 (g))。その後、XeCl エキシマレーザー 32 により所定のパワーをもってレーザアニールを行い (図 11 (h))、アモルファスシリコン薄膜 31 の結晶化を行ってポリシリコンの薄膜 37 を形成した (図 11 (i))。ここで、不純物含有アモルファスシリコンの薄膜 29 上の不純物を含まないアモルファスシリコン膜 31 中には、結晶化の際に、その不純物が拡散し、さらに結晶化して低抵抗のソース側拡散層 38 とドレイン側拡散層 39 として形成される。しかも結晶化の際の熱により不純物の活性化が同時に行われる。

【0091】

この後、ポリシリコンの薄膜上に、反応性スパッタリング法により SiO₂ の薄膜を 100 nm 厚で成膜しゲート絶縁膜 36 を形成する。その後、段差部に 500 nm アルミ (Al) 膜を蒸着、パターンニングしてゲート電極 35 を形成、薄

膜トランジスタ (TFET) を作製した (図 11 (j))。

【0092】

(第 4 実施態様)

石英基板上に厚みが 500 nm の Cr の薄膜層を形成した後、フォトリソレーション法により、チャンネル長 10 μ m・チャンネル幅 50 μ m に相当するように凹部を形成した凹凸面形成用基板 21 を準備する (図 12 (a))。

【0093】

この凹凸面形成用基板 21 のパターン 22 側と、厚みが 0.7 mm の無アルカリガラス (コーニング社製、1737) からなる基板 1 との間に、未硬化の透明な紫外線硬化樹脂を挟んで、ラミネートし、基板 1 側より紫外線露光して、紫外線硬化型樹脂を硬化させた。その後、凹凸面形成用基板 21 を剥離することにより、基板 1 上に、線幅 10 μ m、長さ 50 μ m、高さ 500 nm の凸状の構造を有する凹凸面 2 を形成した (図 12 (a))。

【0094】

得られた凹凸面 2 の全面に、スパッタリング法を適用して A1 の薄膜 23 を 100 nm となるように形成した。その後、さらに A1 面の全面にスパッタリング法を適用し、不純物がドーピングされたシリコンターゲットを使用して、不純物含有アモルファスシリコンの薄膜 29 を 30 nm 厚で成膜した。その後、ポジ型フォトリソレジスト (東京応化工業 (株) 製、品名「PMER P-LA900」) をスピナーにより塗布し、塗布後 80℃ で 30 分加熱して、厚みが 8 μ m の上面が平坦なポジ型フォトリソレジスト膜 24 を形成した (図 12 (b))。

【0095】

このポジ型フォトリソレジスト膜 24 上に、最初に用いた凹凸面形成用基板 21 を、パターン 22 側がポジ型フォトリソレジスト膜 24 に接するように、かつ、凹凸パターンを形成したときと同じガラス基板上の位置に位置合わせして密着させ、凹凸面形成用基板 21 側より紫外線 27 で露光した (図 12 (c))。

【0096】

露光後、現像液 (東京応化工業 (株)、品名「PMER Dev P-7G」) を用いて現像し、露光部である凸部上のポジ型フォトリソレジスト膜 24 の可溶化

部を除去し、凸部上に不純物含有アモルファスシリコン膜 29 を露出させた (図 12 (d))。

【0097】

その後、ドライエッチング装置及びウェットエッチング装置の組合せにより不純物含有アモルファスシリコン膜 29 及び不純物含有アモルファスシリコン膜 29 下の A1 薄膜 23 のエッチングを行い、凸部の不純物含有アモルファスシリコン膜 29 及び A1 薄膜 23 を除去した (図 12 (e))。さらにその後、レジスト膜 24 を剥離した (図 13 (f))。

【0098】

パターンニングされた基板 1 上全面に、スパッタリング法により不純物を含まないシリコンターゲットを使用して、不純物を含まないアモルファスシリコンの薄膜 31 を 50 nm 厚で成膜した (図 13 (g))。その後、XeCl エキシマレーザー 32 により所定のパワーをもってレーザアニールを行い (図 13 (h))、アモルファスシリコンの結晶化を行ってポリシリコンの薄膜 37 を形成した (図 13 (i))。ここで、結晶化の際に、不純物含有アモルファスシリコンの薄膜 29 上に積層されている不純物を含まないアモルファスシリコン膜 31 中には、不純物含有アモルファスシリコンの薄膜 29 中の不純物が拡散し、さらに結晶化して低抵抗のソース側拡散層 38 とドレイン側拡散層 39 として形成された。しかも結晶化の際の熱により不純物の活性化が同時に行われる。

【0099】

この後、ポリシリコンの薄膜上に、反応性スパッタリング法により SiO_2 の薄膜を 100 nm 厚で成膜しゲート絶縁膜 36 を形成した。その後、全面に 500 nm アルミ (Al) 膜を蒸着、パターンニングして、ゲート電極 35 を形成、薄膜トランジスタ (TFT) を作製した (図 13 (j))。

【0100】

(第 5 実施態様)

石英基板上に厚みが 500 nm の Cr の薄膜層を形成した後、フォトエッチング法により、チャネル長 $10\ \mu\text{m}$ ・チャネル幅 $50\ \mu\text{m}$ に相当するように凹部を形成した凹凸面形成用基板 21 を準備する (図 14 (a))。

【0 1 0 1】

この凹凸面形成用基板 2 1 のパターン 2 2 側と、厚みが 0. 7 mm の無アルカリガラス（コーニング社製、1 7 3 7）からなる基板 1 との間に、未硬化な透明な紫外線硬化樹脂を挟んで、ラミネートし、基板 1 側より紫外線露光して、紫外線硬化型樹脂を硬化させた。その後、凹凸面形成用基板 2 1 を剥離することにより、基板 1 上に、線幅 $10\ \mu\text{m}$ 、長さ $50\ \mu\text{m}$ 、高さ $1.5\ \mu\text{m}$ の凸状の構造を有する凹凸面 2 を形成した（図 1 4（a））。

【0 1 0 2】

得られた凹凸面 2 の全面に、スパッタリング法を適用し、A 1 の薄膜 2 3 を $100\ \text{nm}$ となるように形成した。その後、ネガ型フォトレジスト（東京応化工業（株）製、品名「THMR-iP」）をスピナーにより塗布し、厚みが $2\ \mu\text{m}$ の上面が平坦なネガ型フォトレジスト膜 2 4 ' を形成した（図 1 4（b））。

【0 1 0 3】

このネガ型フォトレジスト膜 2 4 ' 上に、最初に用いた凹凸面形成用基板 2 1 を、パターン 2 2 側がネガ型フォトレジスト膜 2 4 ' に接するように、かつ、凹凸パターンを形成したときと同じガラス基板上の位置に位置合わせして密着させ、凹凸面形成用基板 2 1 側より紫外線 2 7 で露光した（図 1 4（c））。

【0 1 0 4】

露光後、現像液を用いて現像し、露光部である凸部上のネガ型フォトレジスト膜 2 4 ' 以外を除去し、凹部上に A 1 薄膜 2 3 を露出させた。その後、混酸（硝酸とリン酸の混合物）により A 1 薄膜 2 3 のエッチングを行い、凸部上の A 1 薄膜 2 3 はゲート電極 3 5 として残り、凹部上の A 1 薄膜 2 3 のみ除去された（図 1 4（d））。さらにその後レジスト膜 2 4 ' を剥離した（図 1 4（e））。

【0 1 0 5】

この後、反応性スパッタリング法により SiO_2 の薄膜を $100\ \text{nm}$ 厚で成膜しゲート絶縁膜 3 6 を形成した（図 1 5（f））。

【0 1 0 6】

この基板 1 上全面に、スパッタリング法により不純物を含まないシリコンターゲットを使用して、不純物を含まないアモルファスシリコンの薄膜 3 1 を $50\ \text{nm}$

m厚で成膜した。次に不純物がドーブされたシリコンターゲットを使用して、不純物を含まないアモルファスシリコンの薄膜 31 上に不純物含有アモルファスシリコンの薄膜 29 を 30 nm 厚で成膜した (図 15 (g))。

【0107】

次にポジ型フォトリソスト (東京応化工業 (株) 製、品名「OFPR800」) をスピンナーにより塗布し、厚みが $2\ \mu\text{m}$ の上面が平坦なポジ型フォトリソスト膜 24 を形成した。このポジ型フォトリソスト膜 24 上に、最初に用いた凹凸面形成用基板 21 を、パターン 22 側がポジ型フォトリソスト 24 膜に接するように、かつ、凹凸面 2 を形成したときと同じガラス基板上の位置に位置合わせして密着させ、凹凸面形成用基板 21 側より紫外線露光した (図 15 (h))。露光後、現像液を用いて現像し、露光部である凸部上のポジ型フォトリソスト 24 を除去し、不純物含有アモルファスシリコン薄膜 29 を露出させた。

【0108】

ドライエッチング装置により不純物含有アモルファスシリコン 29 をエッチングし、凸部上の不純物含有アモルファスシリコン薄膜 29 を除いて、ドーブされていないアモルファスシリコン薄膜 31 を露出させた (図 15 (i))。

【0109】

その後、XeCl エキシマレーザ 32 により所定のパワーをもってレーザアニールを行い (図 16 (j))、アモルファスシリコンの結晶化を行ってポリシリコンの薄膜 37 を形成した (図 16 (k))。ここで、不純物含有アモルファスシリコン薄膜 29 と不純物を含まないアモルファスシリコン薄膜 31 とは、結晶化の際において、不純物含有アモルファスシリコン薄膜 29 中の不純物が、不純物を含まないアモルファスシリコン薄膜 31 中に拡散し、さらに両者は結晶化する。それらの積層したシリコン薄膜部は、低抵抗のソース側拡散層 38 とドレイン側拡散層 39 として形成される。しかも結晶化の際の熱により、不純物の活性化が同時に行われる。

【0110】

この後、ソース側拡散層 38 およびドレイン側拡散層 39 の薄膜上に、膜厚 500 nm アルミ (Al) 膜を蒸着し、パターンニングして、ソース電極 33 及びド

レイン電極 34 を形成し、薄膜トランジスタ (TF T) を作製した (図 16 (k))) 。

【0111】

なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【0112】

【発明の効果】

以上説明したように、本発明の薄膜トランジスタによれば、凹凸面が微細構造で形成されているので、その凹凸形状を利用した極めて微細な薄膜トランジスタを提供できる。そして、本発明の薄膜トランジスタを構成する要素を、その凹凸面の微細形状に範囲で任意に変化させることができるので、極めて微細な薄膜トランジスタとすることができる。

【0113】

また、本発明の薄膜トランジスタの製造方法によれば、従来の方法のような一般的なフォトリソグラフィ技術を用いた TF T 作製手段とは異なり、基板上に凹凸面形成用基板を用いて基板上に硬化性樹脂からなる凹凸面を形成し、その凹凸面の凹部を TF T の半導体チャネル層として使用するので、凹凸面形成用基板を用いた凹凸面の精細度を高めることにより、半導体チャネル層の均一化および微細化を図ることができる。その結果、サブミクロンオーダーの半導体チャネル層を有する薄膜トランジスタの製造を容易にすることができると共に、大面積化に対応でき量産性のある製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 態様の薄膜トランジスタの一例を示す断面図である。

【図 2】

本発明の第 2 態様の薄膜トランジスタの一例を示す断面図である。

【図 3】

本発明の第 3 態様の薄膜トランジスタの一例を示す断面図である。

【図 4】

本発明の第 4 態様の薄膜トランジスタの一例を示す断面図である。

【図 5】

本発明の第 5 態様の薄膜トランジスタの一例を示す断面図である。

【図 6】

本発明の薄膜トランジスタの製造方法の第 1 の例を示す各工程中、基板の前面からレジスト膜に露光する工程までを示す工程図である。

【図 7】

本発明の薄膜トランジスタの製造方法の第 1 の例を示す各工程中、レジスト現像工程後からゲート電極形成工程までの工程を示す工程図である。

【図 8】

本発明の薄膜トランジスタの製造方法の第 2 の例を示す各工程中、エッチング工程までの工程を示す工程図である。

【図 9】

本発明の薄膜トランジスタの製造方法の第 2 の例を示す各工程中、レジスト現像除去工程から電極形成工程までの工程を示す工程図である。

【図 1 0】

本発明の薄膜トランジスタの製造方法の第 3 の例を示す各工程中、エッチング工程までの工程を示す工程図である。

【図 1 1】

本発明の薄膜トランジスタの製造方法の第 3 の例を示す各工程中、レジスト除去工程からゲート電極／ゲート絶縁膜形成工程までの工程を示す工程図である。

【図 1 2】

本発明の薄膜トランジスタの製造方法の第 4 の例を示す各工程中、エッチング工程までの工程を示す工程図である。

【図 1 3】

本発明の薄膜トランジスタの製造方法の第 4 の例を示す各工程中、レジスト現像除去工程からゲート電極／ゲート絶縁膜形成工程までの工程を示す工程図であ

る。

【図 1 4】

本発明の薄膜トランジスタの製造方法の第 5 の例を示す各工程中、エッチング工程までの工程を示す工程図である。

【図 1 5】

本発明の薄膜トランジスタの製造方法の第 5 の例を示す各工程中、レジスト除去工程から不純物含有アモルファスシリコンをエッチングするまでの工程を示す工程図である。

【図 1 6】

本発明の薄膜トランジスタの製造方法の第 5 の例を示す各工程中、アモルファスシリコンの結晶化を行う工程から、電極形成工程までの工程を示す工程図である。

【図 1 7】

凹凸面を形成するための凹凸面形成用基板表面の顕微鏡写真、および本発明の薄膜トランジスタに適用した基板が備える凹凸面の顕微鏡写真である。

【符号の説明】

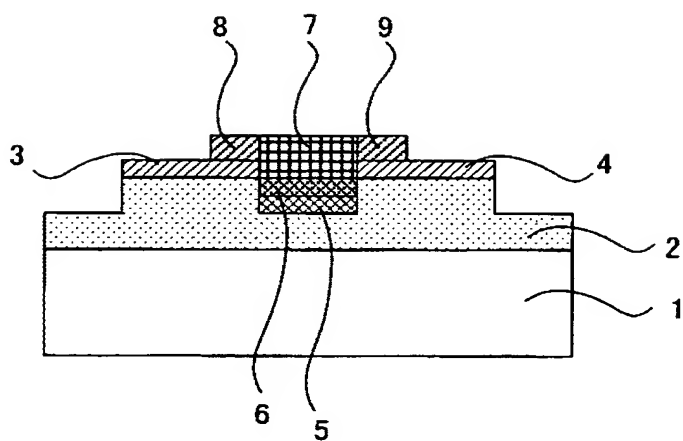
- 1 基板
- 2 凹凸面
- 3 ソース電極
- 4 ドレイン電極
- 5 ゲート電極
- 6 ゲート絶縁膜
- 7 半導体チャネル層
- 8 ソース側拡散層
- 9 ドレイン側拡散層
- 10 コンタクトホール
- 21 凹凸面形成用基板
- 22 パターン
- 23 Al 薄膜

- 2 4 ポジ型フォトレジスト膜
- 2 4 ' ネガ型フォトレジスト膜
- 2 5 マスク
- 2 6 遮光パターン
- 2 7 UV光
- 2 9 不純物含有アモルファスシリコン
- 3 0 UV光
- 3 1 アモルファスシリコン
- 3 2 レーザー
- 3 3 ソース電極
- 3 4 ドレイン電極
- 3 5 ゲート電極
- 3 6 ゲート絶縁膜
- 3 7 半導体チャネル層
- 3 8 ソース側拡散層
- 3 9 ドレイン側拡散層
- 4 0 フォトマスク
- 4 1 開口部

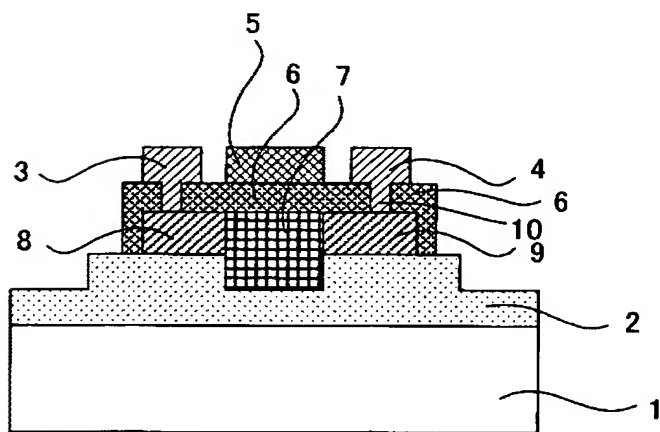
【書類名】

図面

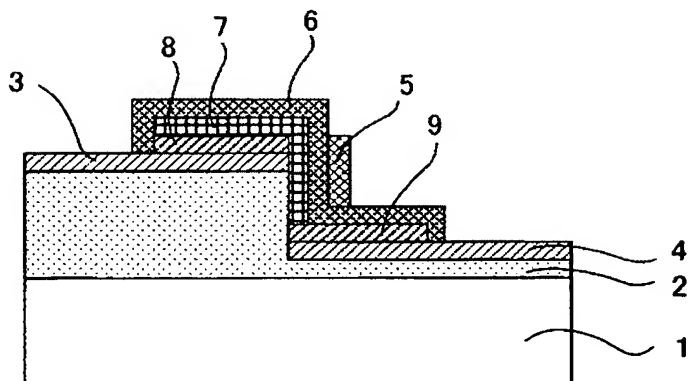
【図 1】



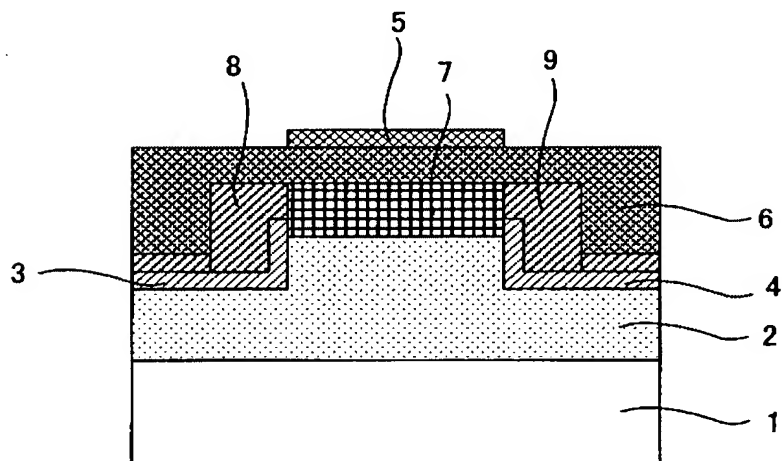
【図 2】



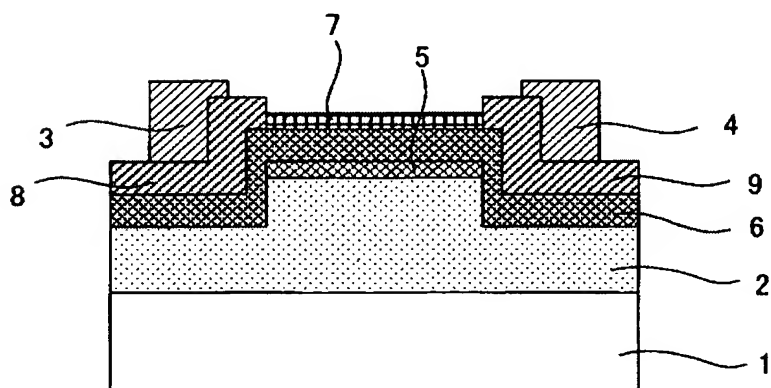
【図 3】



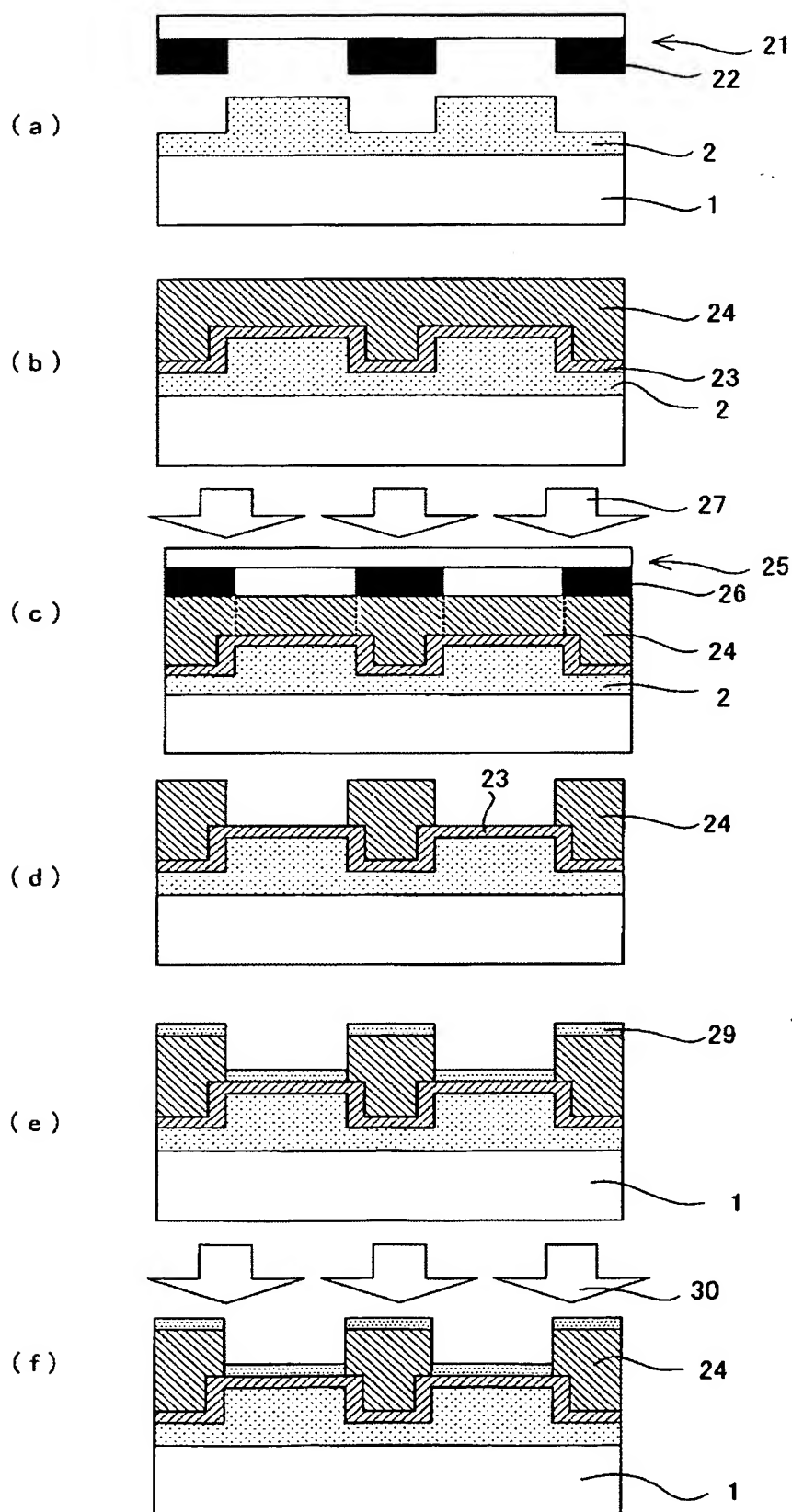
【図 4】



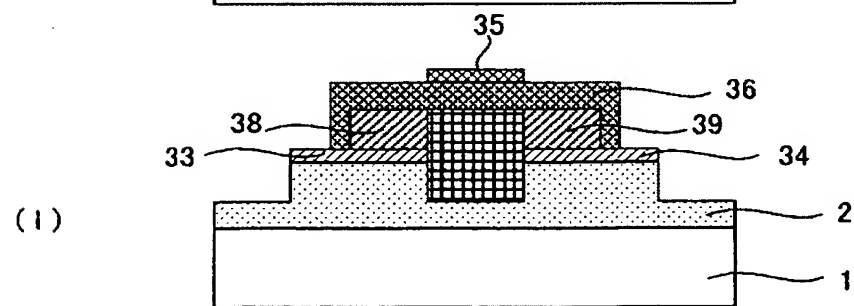
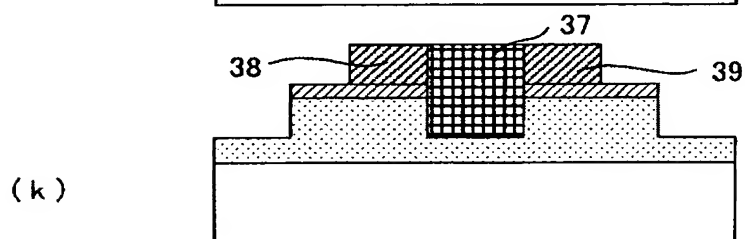
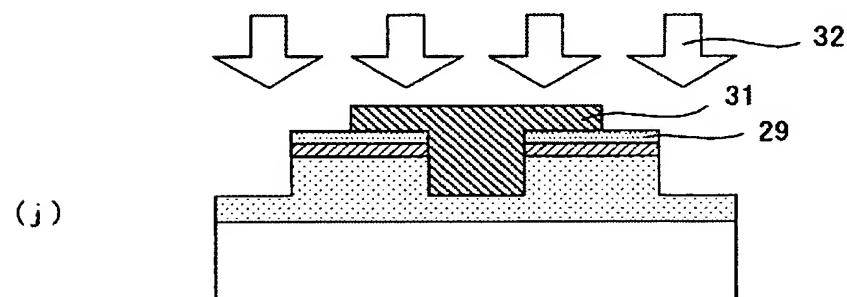
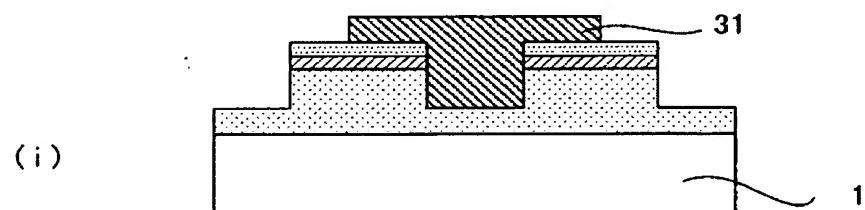
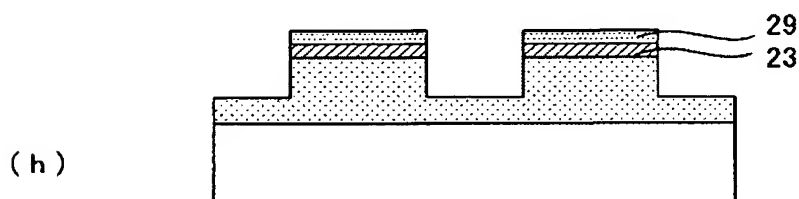
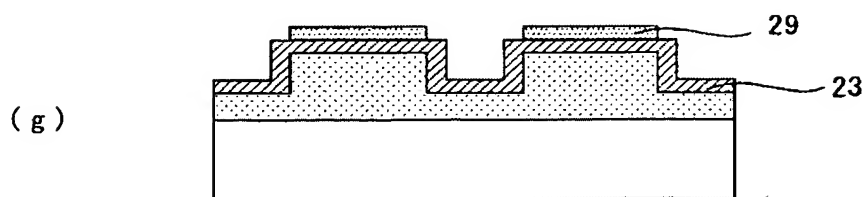
【図 5】



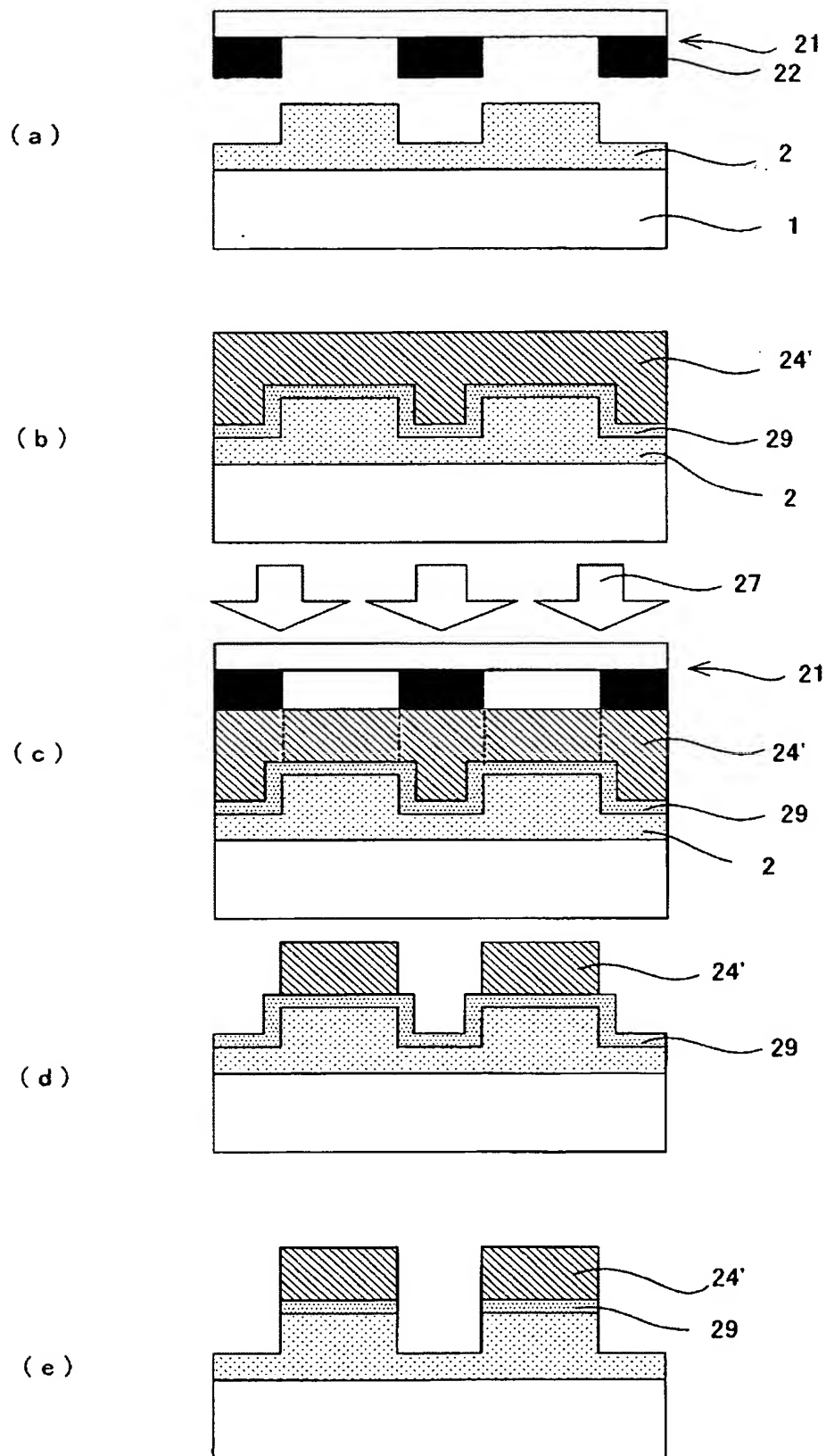
【図 6】



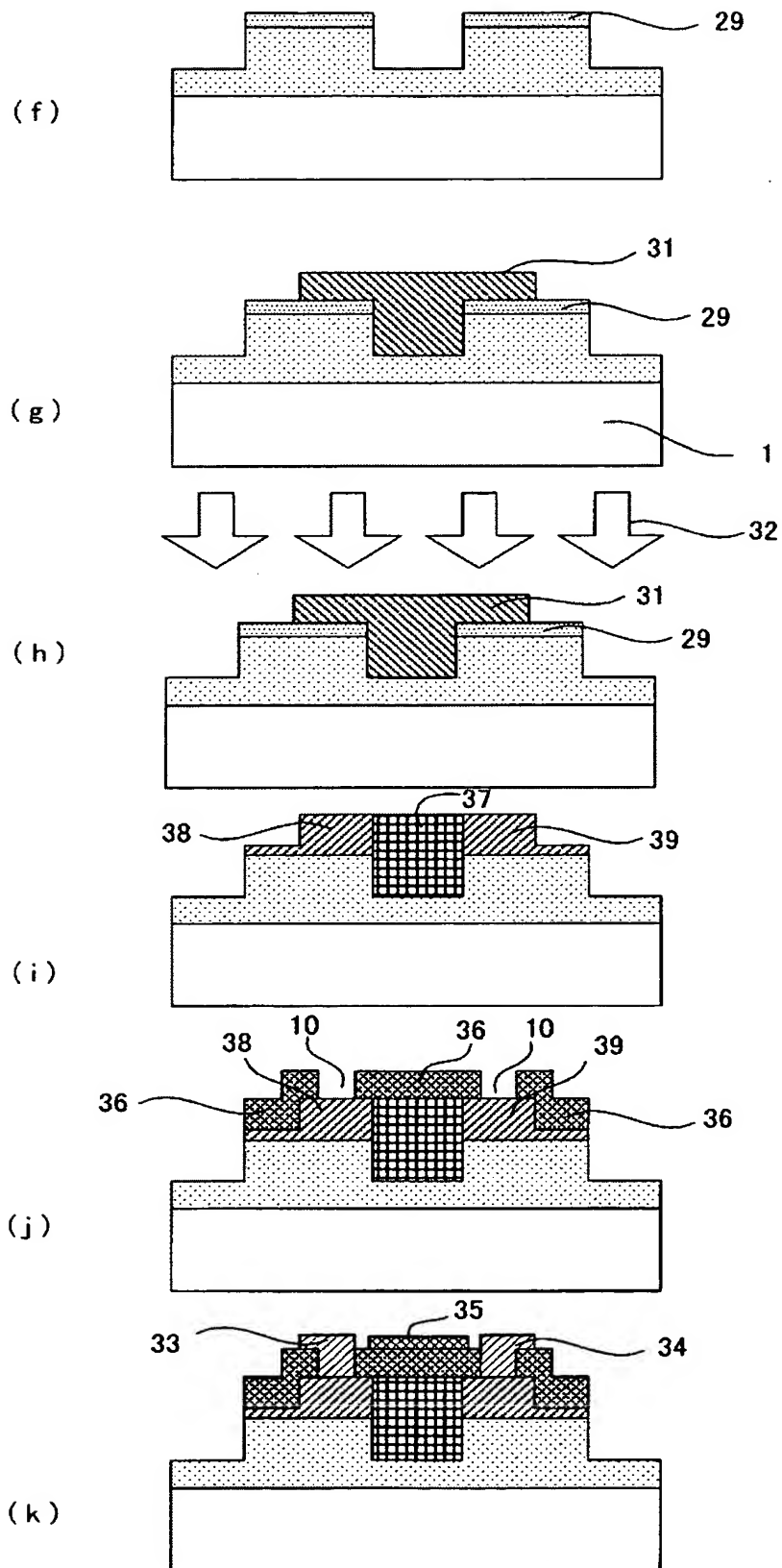
【図 7】



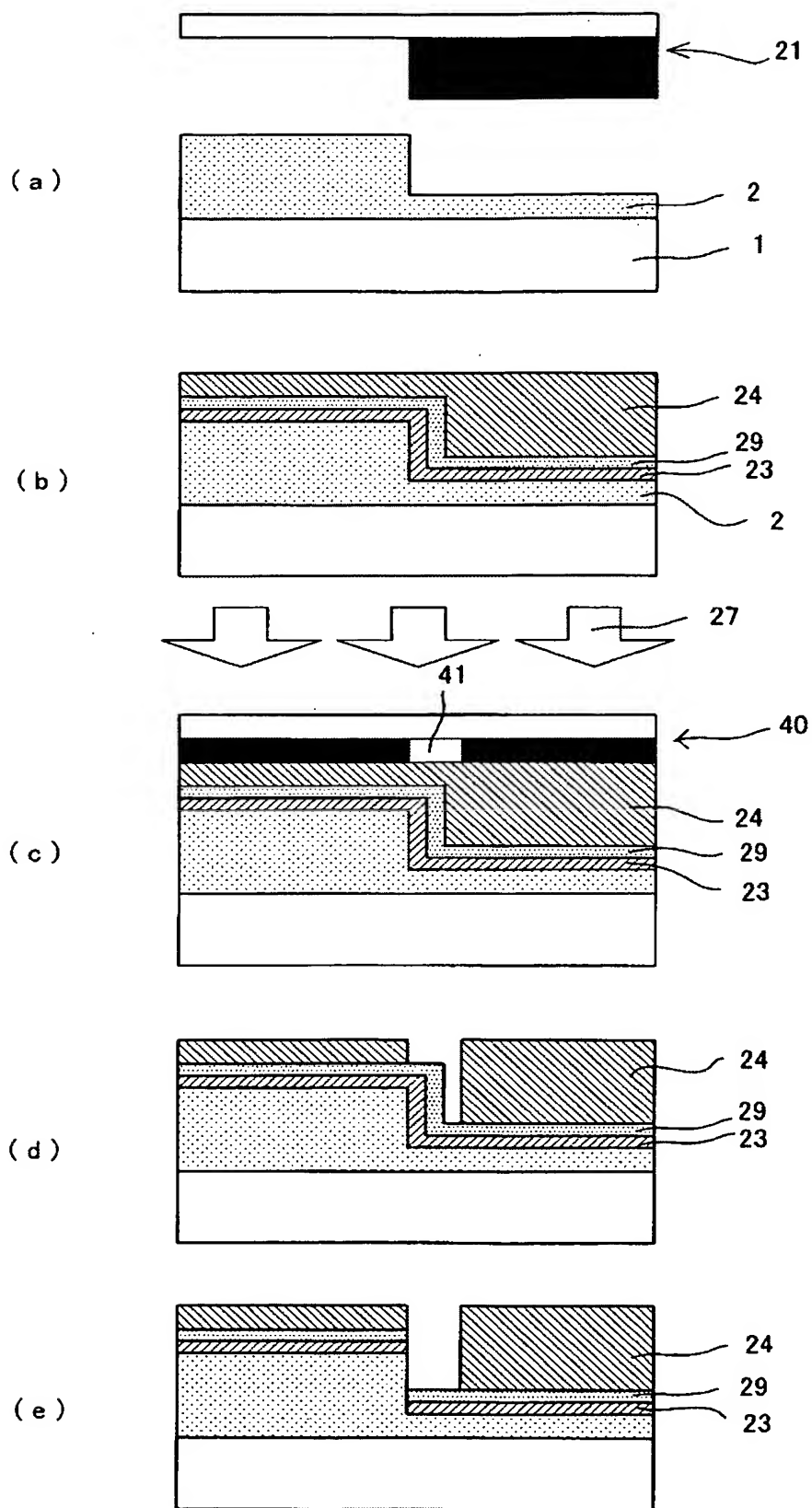
【図 8】



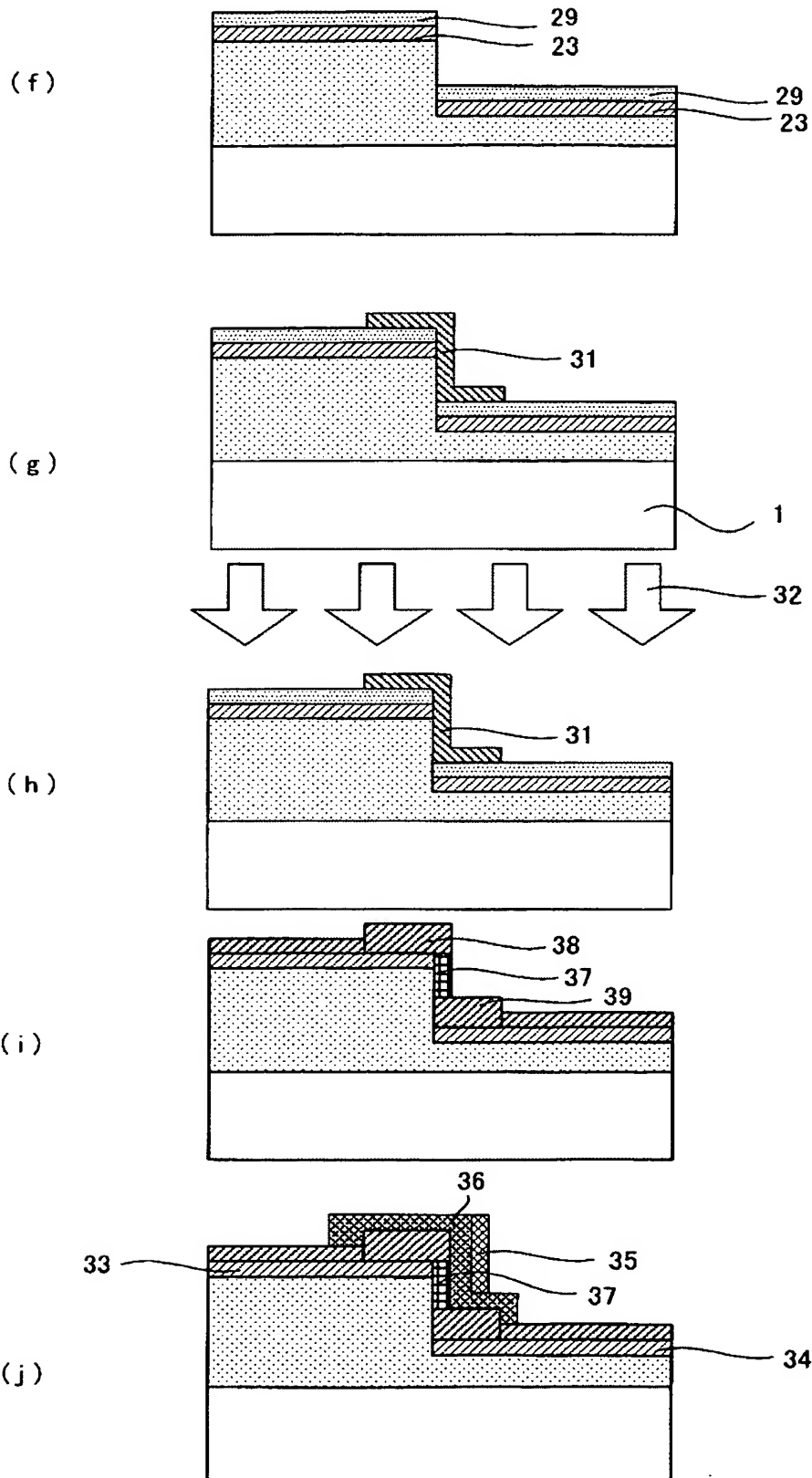
【図 9】



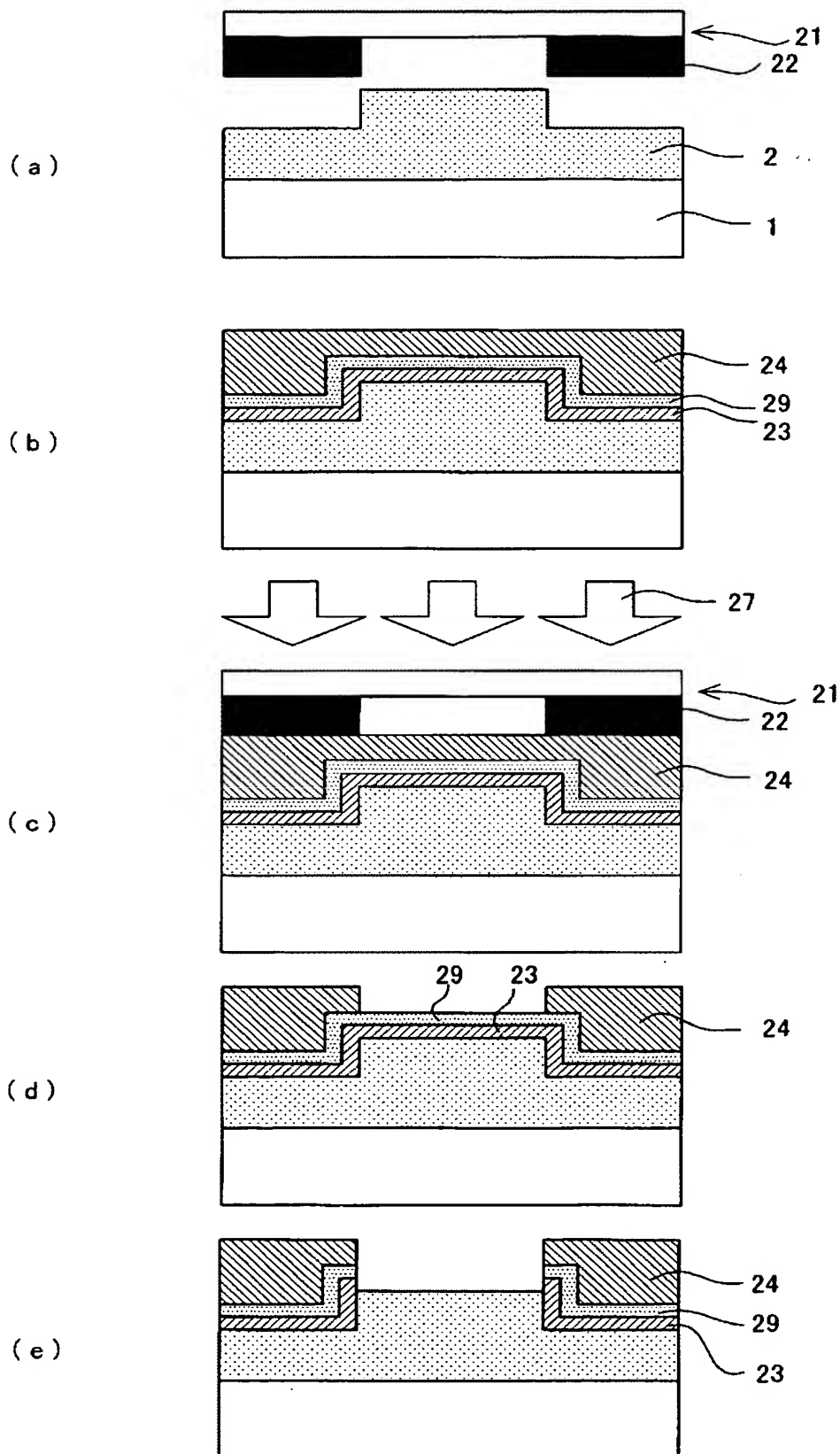
【図 10】



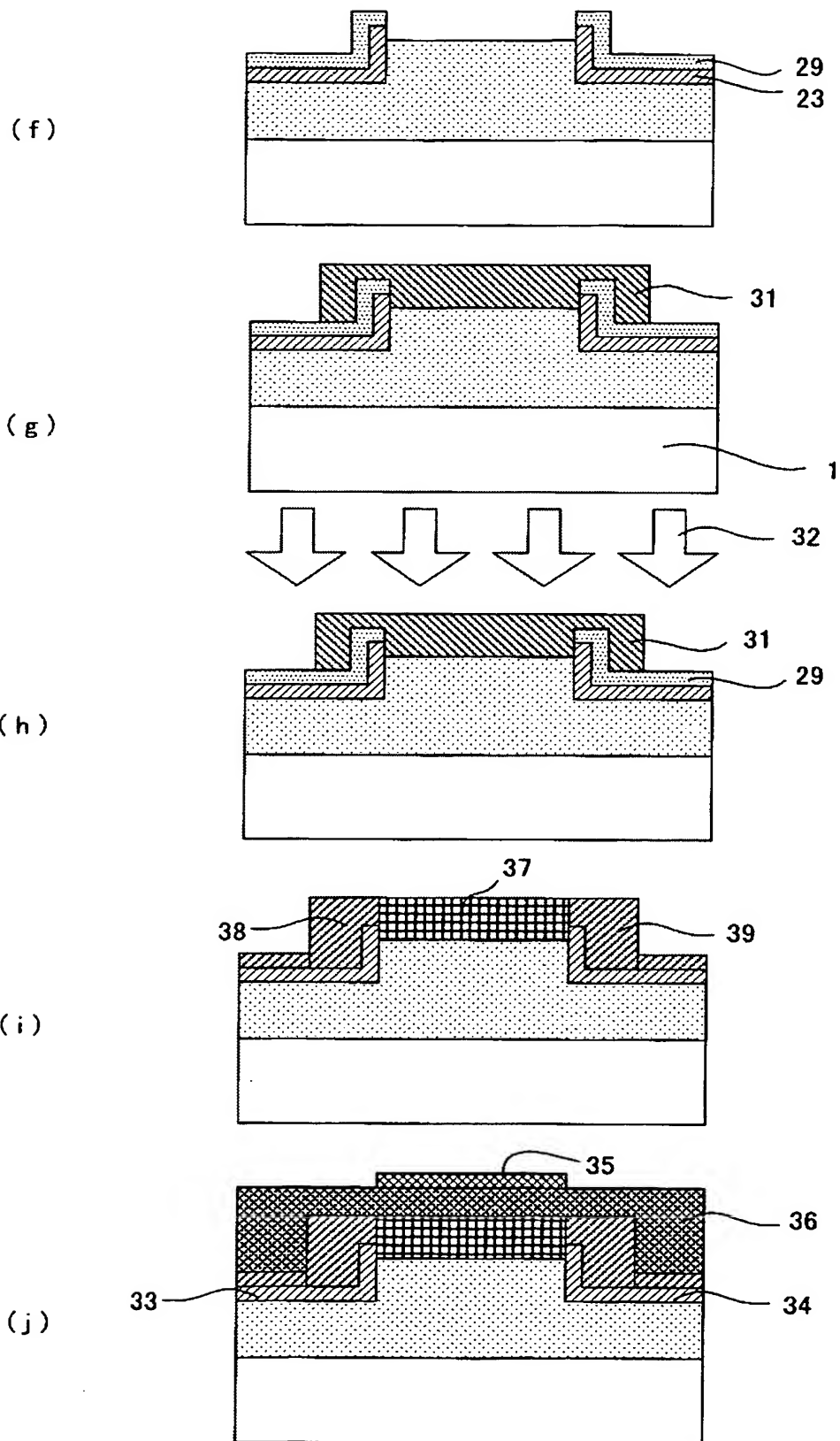
【図 11】



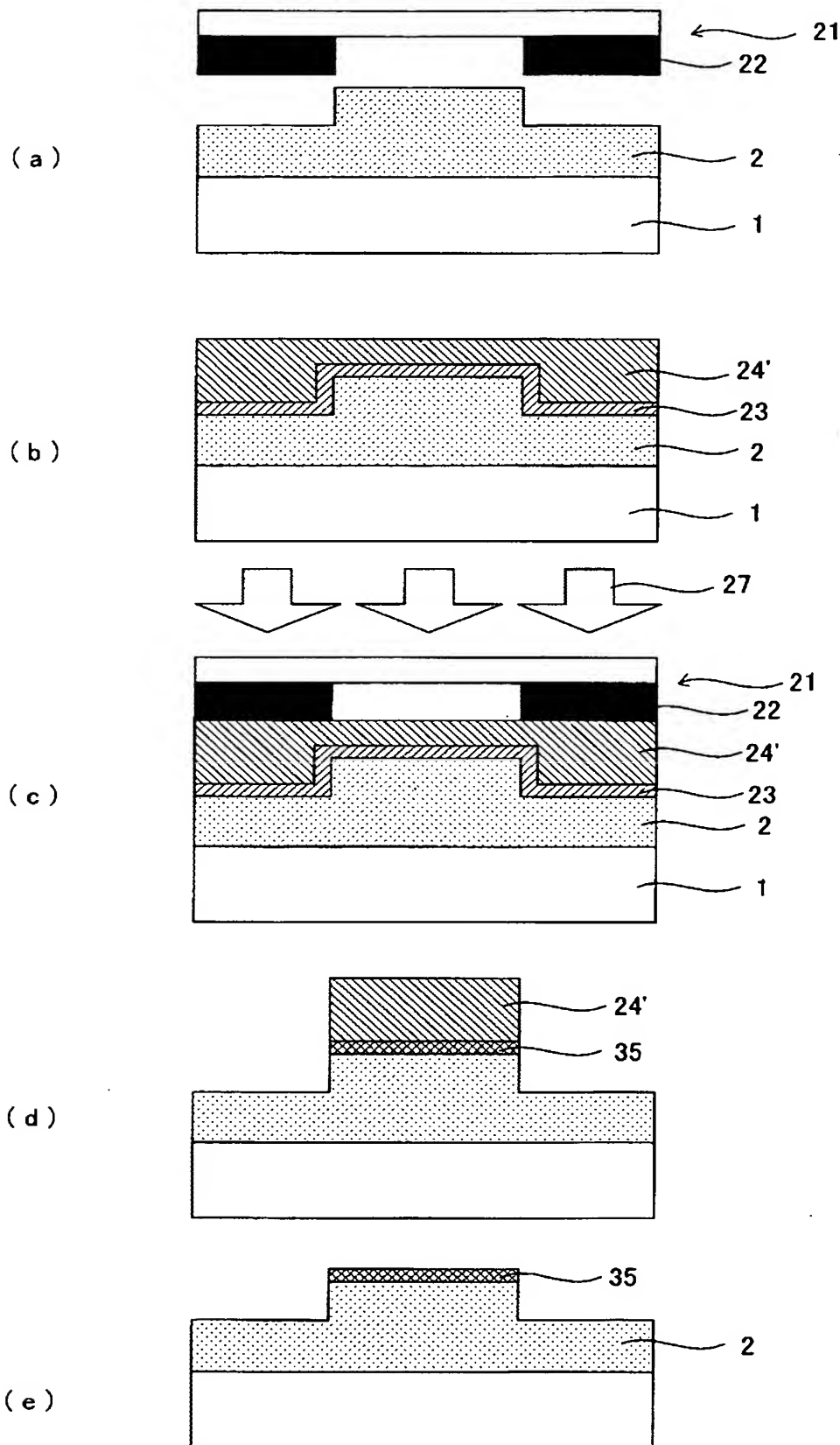
【図 12】



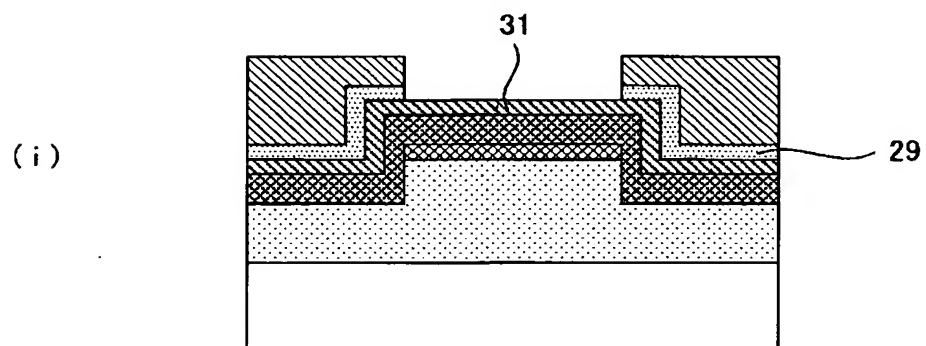
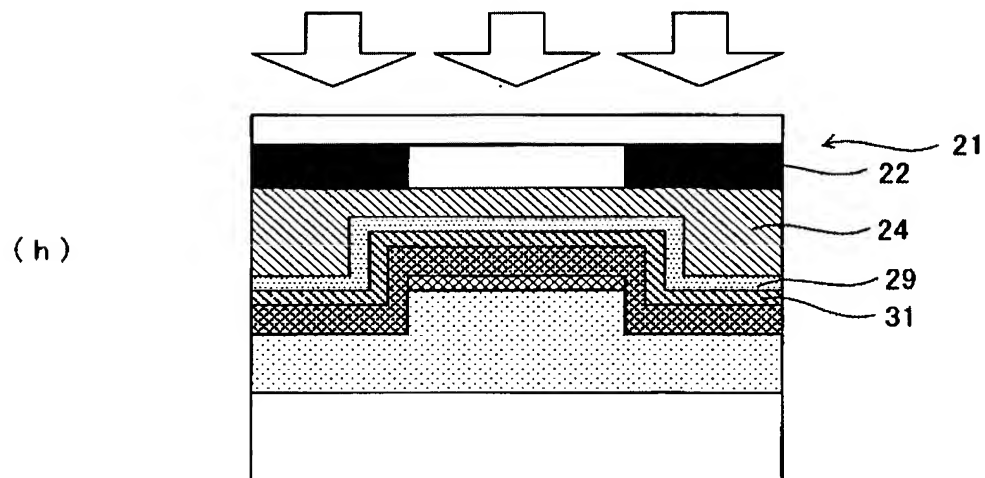
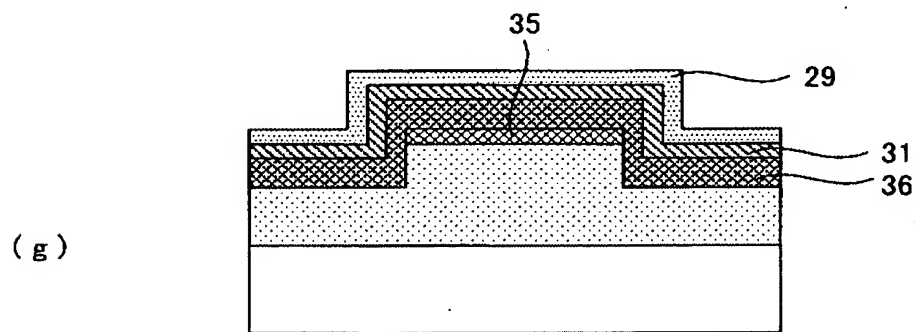
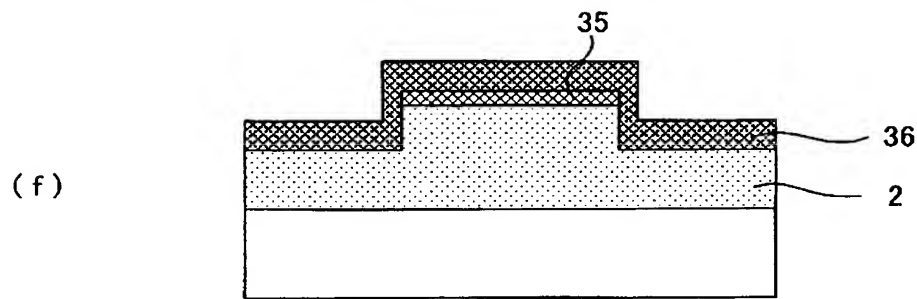
【図 13】



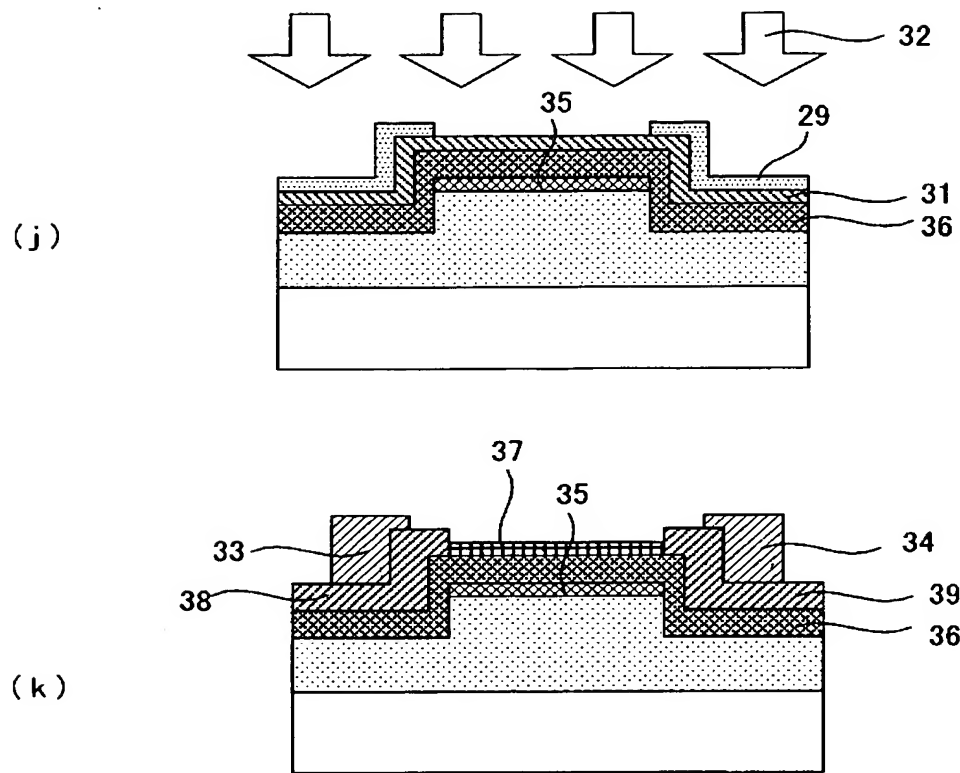
【図 14】



【図 15】

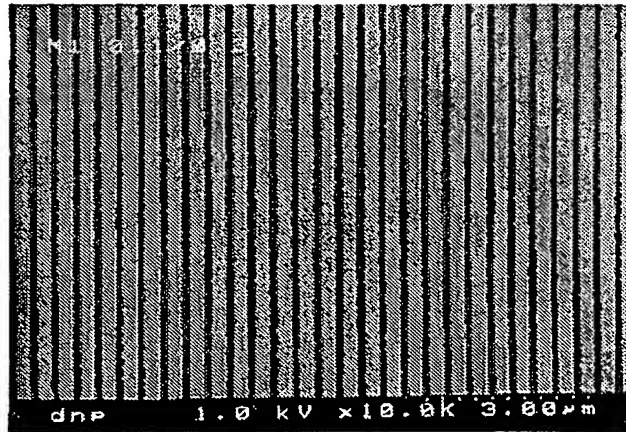


【図 16】

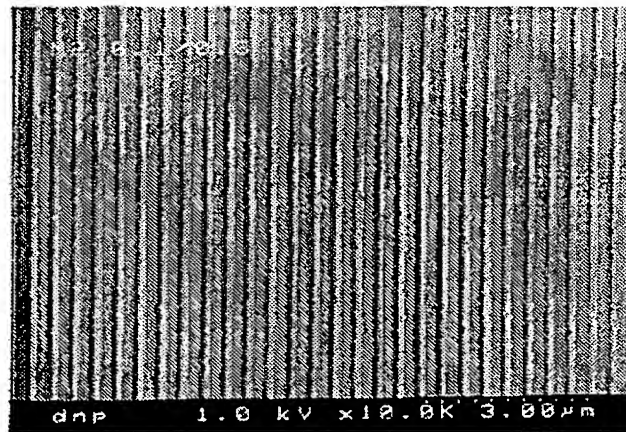


【図 17】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 サブミクロンオーダーの半導体チャネル層形成能力をもつパターンニング方法により作製された薄膜トランジスタの提供、および大面積化に対応でき量産性のある製造方法を提供する。

【解決手段】 微細加工された凹凸面 2 を有する基板 1 上に形成された薄膜トランジスタであって、その凹凸面 2 の隣接する凸部にソースとドレインを形成し、その凸部間の凹部領域にチャネルとゲートを形成することにより、上記課題を解決した。このときの凹部領域は、凹部底面からその上方に向かって、ゲート電極 5、ゲート絶縁膜 6、半導体チャネル層 7 の順で積層される。この薄膜トランジスタにおいては、凹凸面が硬化性樹脂で形成されていること、薄膜トランジスタを構成する半導体が多結晶シリコン等の半導体または有機半導体材料で形成されていること、記基板がガラス、プラスチックまたはそれらの複合材からなることが好ましい。

【選択図】 図 1

特願 2 0 0 3 - 0 1 5 3 9 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 8 9 7]

1. 変更年月日	1 9 9 0 年 8 月 2 7 日
[変更理由]	新規登録
住 所	東京都新宿区市谷加賀町一丁目 1 番 1 号
氏 名	大日本印刷株式会社